

OKI

OKI SEMICONDUCTOR

お客様各位

資料中の「沖電気」、「OKI」等名称の OKI セミコンダクタ株式会社への変更について

2008年10月1日を以って沖電気工業株式会社の半導体事業は OKI セミコンダクタ株式会社に承継されました。従いまして、本資料中には「沖電気工業株式会社」、「沖電気」、「OKI」といった表記が残っておりますが、これらの表記は全て「OKI セミコンダクタ株式会社」に変更されておりますのでご理解の程お願い致します。なお、会社名、会社商標・ロゴ等以外の内容については変更しておりませんので資料としての内容変更ではありません。

2008年10月1日
OKI セミコンダクタ株式会社

OKIセミコンダクタ株式会社

〒193-8550 東京都八王子市東浅川町 550-1
<http://www.okisemi.com/jp/>

OKI 電子デバイス

MSM80C48/49/50 MSM80C35/39/40

インテルコンパチブル8ビットマイクロコントローラ

■ 概要

MSM80C48・MSM80C49・MSM80C50は、8ビット並列処理ALU、ROM、I/Oポート、制御回路を集積したCMOS 8ビットマイクロコントローラです。

MSM80C48・MSM80C49・MSM80C50は低消費電力を考慮したパワーダウン機能を備えています。

MSM80C35・MSM80C39・MSM80C40は、MSM80C48・MSM80C49・MSM80C50のプログラムメモリ（ROM）のないものです。

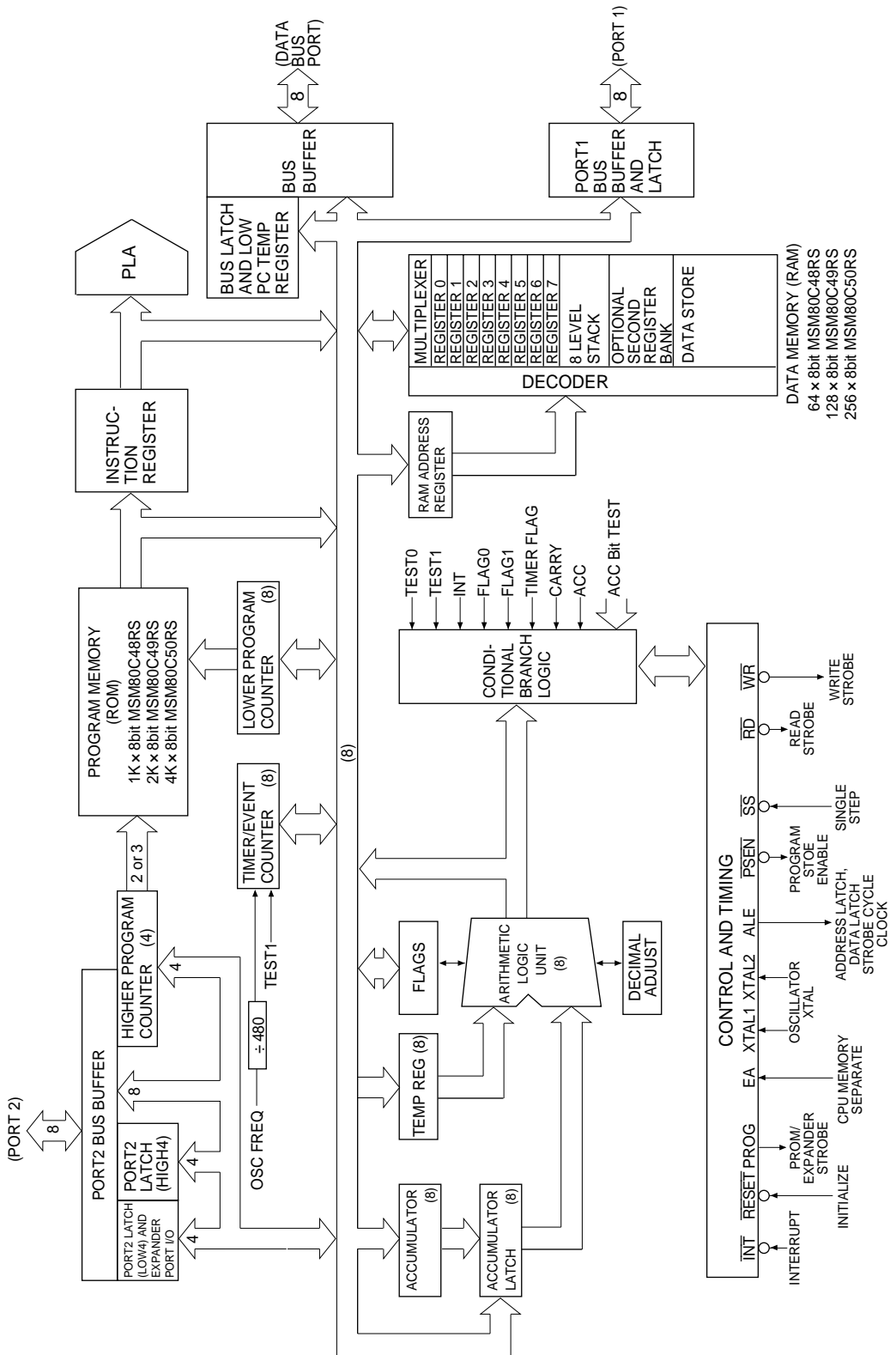
■ 特長

- CMOSシリコンゲートプロセスによる低消費電力
- 完全スタティック動作
- パワーダウン機能の充実
- インストラクションサイクル
 - ： 1.36 μ s (11MHz) V_{CC} = 4.5 ~ 6.0V (MSM80C48/49)
 - 2.5 μ s (6MHz) V_{CC} = 3.5 ~ 6.0V (MSM80C50)
- 111種の命令
- 外部ROM実行時も全命令使用可能
- 演算機能：加算、論理演算、10進補正
- プログラムメモリ（ROM）
 - ： 1Kワード×8ビット（MSM80C48）
 - 2Kワード×8ビット（MSM80C49）
 - 4Kワード×8ビット（MSM80C50）
- データメモリ（RAM）
 - ： 64ワード×8ビット（MSM80C48）
 - 128ワード×8ビット（MSM80C49）
 - 256ワード×8ビット（MSM80C50）
- 2組のワーキングレジスタ
- 外部割込み・タイマ割込み
- テスト入力
 - ： 2本
- 8ビットタイマカウンタ内蔵
- 外部メモリ、I/Oポート拡張可能
- I/Oポート
 - 入出力ポート
 - ： 2ポート×8ビット
 - データバス入出力兼用
 - ： 1ポート×8ビット
- シングルステップ機能
- 広範囲な動作電源
 - ： V_{CC} = +2.5 ~ +6V（XTAL 1・2周波数は V_{CC} に依存します）
- 高ノイズマージン
- インテル製8048, 8049, 8050とコンパチブル

● パッケージ

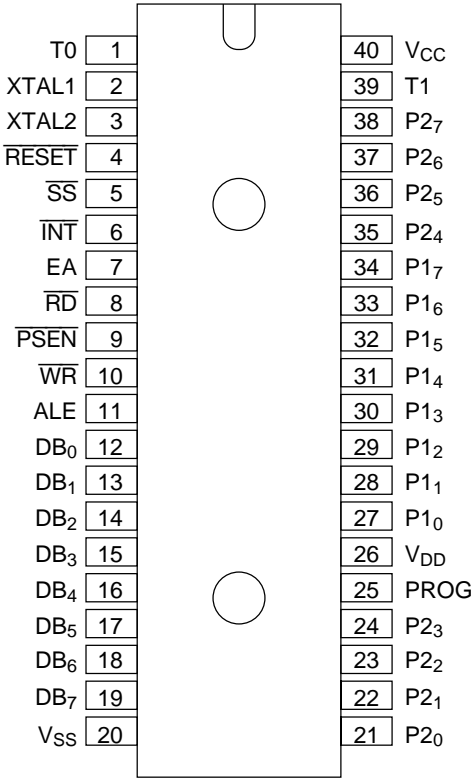
- 40ピンプラスチックDIP (DIP40-P-600-2.54) (製品名 : MSM80C48-xxxRS)
(製品名 : MSM80C49-xxxRS)
(製品名 : MSM80C50-xxxRS)
(製品名 : MSM80C35RS)
(製品名 : MSM80C39RS)
(製品名 : MSM80C40RS)
- 44ピンプラスチックQFP (QFP44-P-910-0.80-2K) (製品名 : MSM80C48-xxxGS-2K)
(製品名 : MSM80C49-xxxGS-2K)
(製品名 : MSM80C50-xxxGS-2K)
(製品名 : MSM80C35GS-2K)
(製品名 : MSM80C39GS-2K)
(製品名 : MSM80C40GS-2K)
- 注 : xxxはコード番号を示す

■ ブロック図

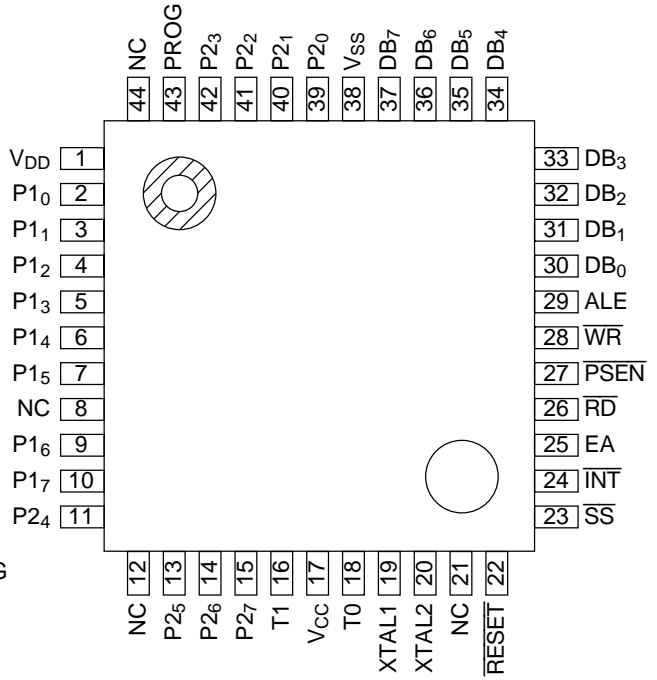


■ 端子接続 (上面図)

40ピン プラスチックDIP



44ピン プラスチックQFP



NC : 未使用ピン

■ 端子説明

端子名	I/O	説明
P1 ₀ ~ P1 ₇ (PORT 1)	I/O	8ビット擬似双方向ポート
P2 ₀ ~ P2 ₇ (PORT 2)	I/O	8ビット擬似双方向ポート P2 ₀ ~ P2 ₃ は外部プログラム・メモリのアドレスの上位4ビットを出力し、かつ拡張用I/OポートのMSM82C43RSを接続することができます。
DB ₀ ~ DB ₇ (BUS)	I/O	双方向ポート このポートは、INS A、BUS、OUTL BUS、A実行時RD、WR信号を用いて、外部とのデータ授受を行います。外部プログラム・メモリアドレスの下位8ビットを出力し、アドレスされた命令をPSEN信号で取込みます。また、外部データ・メモリ・アクセス命令を実行するとメモリ・アドレスを出力し、RD、WR信号を用いて外部メモリとデータの授受を行います。
T0 (Test 0)	I/O	入力信号のレベルをJT0、JNT0命令でテストし、その結果で指定した番地へジャンプします。 ENT0 CLK命令を実行するとクロック出力になります。
T1 (Test 1)	I	入力信号のレベルをJT1、JNT1命令でテストし、その結果で指定した番地へジャンプします。 STRT CNT命令を実行すると内部カウンタ入力になります。
$\overline{\text{INT}}$ (Interrupt)	I	割込み入力（割込み可能の時、割込みに入ることができます。DIS 1、リセットで割込みが禁止になります。） JNI命令で入力信号をテストできます。パワーダウンモード解除時に使用します。（アクティブ・"0"レベル）
$\overline{\text{RD}}$ (Read)	O	外部データ・メモリからのデータをリードする信号を出力します。 （アクティブ・"0"レベル）
$\overline{\text{WR}}$ (Write)	O	外部データ・メモリにデータをライトする信号を出力します。 （アクティブ・"0"レベル）
ALE (Address & Data Latch ϕ)	O	この信号はサイクルごとに生じ、クロック出力として使用できます。 ALE信号の立下がりのタイミングで外部データ・メモリ又は外部プログラム・メモリをアドレスします。外部ROM時OUTL BUS、A実行後ALE信号の立上がりでバスポートデータをラッチします。
PSEN (Program Store Enable)	O	外部プログラム・メモリから命令を取込む信号を出力します。 （アクティブ・"0"レベル）
$\overline{\text{RESET}}$	I	プロセッサをイニシャライズします。（アクティブ・"0"レベル） パワーダウンモード解除時に使用します。
$\overline{\text{SS}}$ (Single Step)	I	プログラムを1ステップずつ実行します。パワーダウンモード解除時XTAL1・2発振を制御します。（アクティブ・"0"レベル）
EA (CPU Memory Separate)	I	内部プログラム・メモリのフェッチを禁止、代わりに外部プログラム・メモリをアクセスします。システムのテストやプログラムのデバッグに用います。（アクティブ・"1"レベル）
$\overline{\text{PROG}}$ (Expander Strobe)	O	拡張用I/OポートのMSM82C43RSを制御する信号です。
XTAL1 (Crystal 1)	I	内部クロック発振用クリスタル入力 外部クロックを使用する場合の入力になります。
XTAL2 (Crystal 2)	O	内部クロック発振用クリスタル出力
V _{CC}		+5V（ICチップすべてに供給する電源端子）
V _{DD}		スタンバイ・コントロール入力。通常、"1"レベルスタンバイ・オペレーション時、"0"レベルにするとXTAL1・2が停止しI/Oはフローティングになります。
V _{SS}		GND

注記： $\overline{\text{RESET}}$ パルス幅は、電源電圧が規定電圧で、発振周波数が安定している状態において、2マシン・サイクル以上要します。

■ 絶対最大定格

項目	記号	条件	定格値	単位
電源電圧	V_{CC}	$T_a=25$	- 0.5 ~ + 7	V
入力電圧	V_I	$T_a=25$	- 0.3 ~ $V_{CC} + 0.5$	V
保存温度	T_{STG}		- 65 ~ + 150	

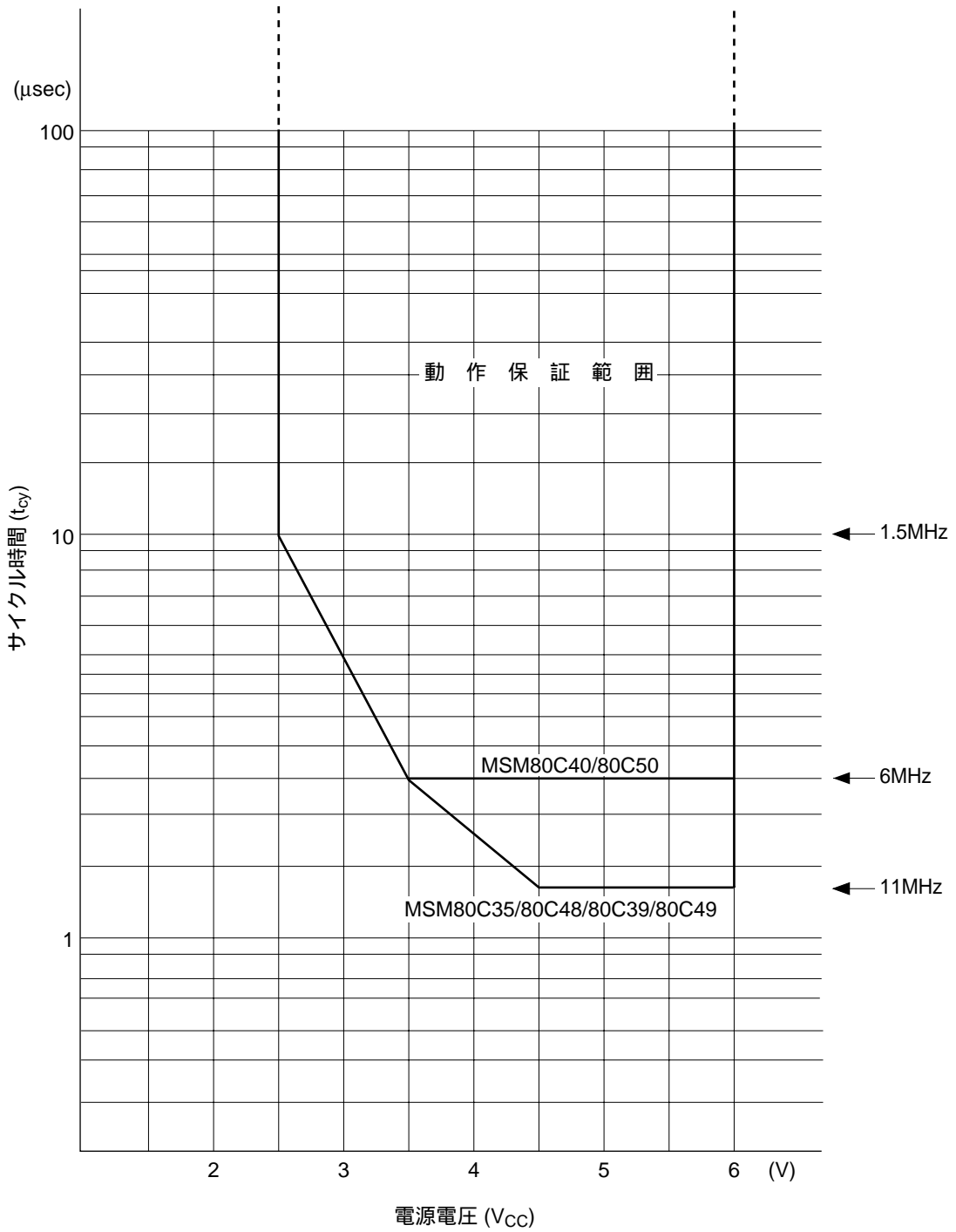
■ 推奨動作条件

項目	記号	条件	範囲	単位
電源電圧	V_{CC}	$f_{osc}=DC \text{ to } 11\text{MHz}^*$	2.5 ~ 6	V
周囲温度	T_a		- 40 ~ + 85	
ファンアウト	N	MOS負荷	10	
		TTL負荷	1	

*最小動作電圧は周波数によって決定されます。

動作保証範囲

Ta = - 40 ~ + 85



電源電圧 - 周波数特性

■ 電気的特性

● 直流特性

($V_{CC} = 5V \pm 20\%$, $T_a = -40 \sim +85$)

項 目	記号	条 件	Min.	Typ.	Max.	単 位	測定回路
"L"入力電圧	V_{IL}		- 0.5		$0.13V_{CC}$	V	1
"H"入力電圧 *1	V_{IH}		$0.4V_{CC}$		V_{CC}	V	
"H"入力電圧 *2	V_{IH}		$0.7V_{CC}$		V_{CC}	V	
"L"出力電圧 *3	V_{OL}	$I_{OL} = 2mA$			0.45	V	
"L"出力電圧 *4	V_{OL}	$I_{OL} = 1.6mA$			0.45	V	
"H"出力電圧 *3	V_{OH}	$I_{OH} = -400\mu A$	$0.75V_{CC}$			V	
"H"出力電圧 *4	V_{OH}	$I_{OH} = -50\mu A$	$0.75V_{CC}$			V	
"H"出力電圧 *3	V_{OH}	$I_{OH} = -20\mu A$	$0.93V_{CC}$			V	
"H"出力電圧 *4	V_{OH}	$I_{OH} = -10\mu A$	$0.93V_{CC}$			V	
入力漏洩電流	I_{IL}	$V_{SS} V_{IN} V_{CC}$			± 5	μA	2
出力漏洩電流 *5	I_{OL}	$V_{SS} V_O V_{CC}$			± 5	μA	3
吊り抵抗電流 (RESET)	I_R	$V_{IN} = 0.7V_{CC}$ 時	- 20	- 50	- 80	μA	2
		$V_{IN} = 0.13V_{CC}$ 時	- 3	- 8	- 15		
吊り抵抗電流 *6 (SS)	I_{SS}	発振停止時	20	50	80	μA	2
		発振時	- 6	- 15	- 25		
"H"出力電流 (P10 ~ P17, P20 ~ P27)	I_{P1}	$V_{IN} = 0.4V_{CC}$ 時	- 300	- 600	- 900	μA	2
	I_{P2}	$V_{IN} = 0.13V_{CC}$ 時	- 10	- 40	- 80		
パワーダウン スタンバイ電流	I_{CCS}	V_{DD} パワーダウン *7 $T_a = 25$, $V_{CC} = 2.0V$			10	μA	
		HLTS実行時 *7 $T_a = 25$, $V_{CC} = 2.0V$			10		
HALT時電源電流	I_{CC}	$V_{CC} = 4V, f = 1MHz$			0.5	mA	4
		$V_{CC} = 4V, f = 6MHz$			1.0		
		$V_{CC} = 4V, f = 11MHz$			2.0		
		$V_{CC} = 5V, f = 1MHz$			1.0		
		$V_{CC} = 5V, f = 6MHz$			2.0		
		$V_{CC} = 5V, f = 11MHz$			3.0		
		$V_{CC} = 6V, f = 1MHz$			1.5		
		$V_{CC} = 6V, f = 6MHz$			3.0		
実行時電源電流	I_{CC}	$V_{CC} = 4V, f = 1MHz$			1.5	mA	
		$V_{CC} = 4V, f = 6MHz$			5.0		
		$V_{CC} = 4V, f = 11MHz$			10		
		$V_{CC} = 5V, f = 1MHz$			2.5		
		$V_{CC} = 5V, f = 6MHz$			7.5		
		$V_{CC} = 5V, f = 11MHz$			15		
		$V_{CC} = 6V, f = 1MHz$			5.0		
		$V_{CC} = 6V, f = 11MHz$			20		

*1. \overline{RESET} 、XTAL1、XTAL2、 V_{DD} 、EAは除く*2. \overline{RESET} 、XTAL1、XTAL2、 V_{DD} 、EA*3. \overline{BUS} 、 \overline{RD} 、 \overline{WR} 、 \overline{PSEN} 、ALE、PROG

*4. その他の出力

*5. 高インピーダンス状態

*6. HLTS実行又はV_{DD}パワーダウンモードで発振停止時は吊り下げ抵抗、その他の状態では吊り上げ抵抗となる。

*7. I/Oポート及び信号端子からの流出電流を除く

● 交流特性

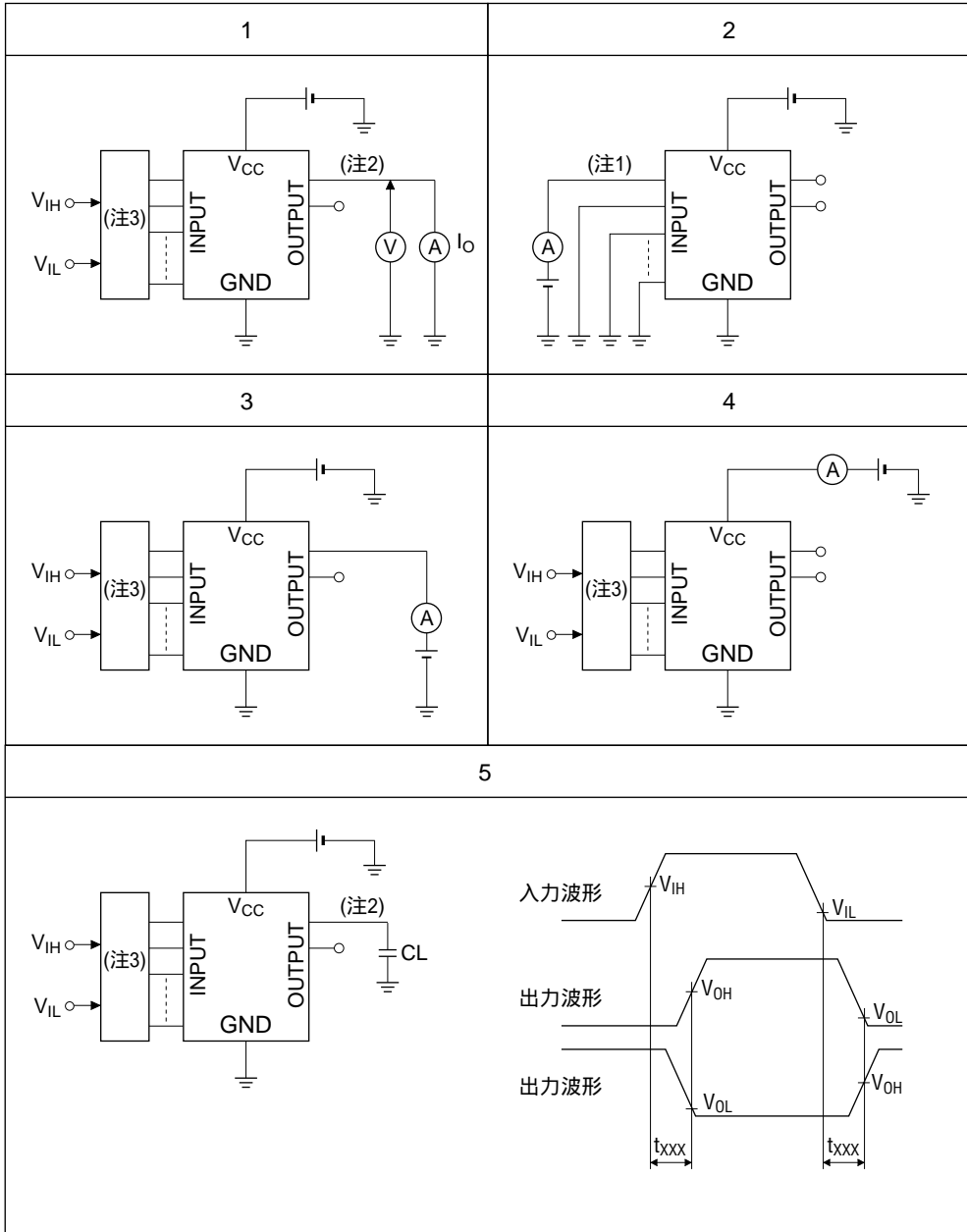
*1
(V_{CC} = 2.5V ~ 6V, Ta = - 40 ~ + 85)

項 目	記 号	規 格 値				単 位
		V _{CC} = 5V ± 10% 11MHzクロック		可変クロック 0Hz ~ 11MHz		
		Min.	Max.	Min.	Max.	
ALEパルス幅	t _{LL}	150		3.5t - 170		ns
アドレス設定時間 (ALEまで)	t _{AL}	70		2t - 110		ns
アドレス保持時間 (ALEから)	t _{LA}	50		t - 40		ns
パスポートラッチデータ設定時間 (ALE立ち上がりまで)	t _{BL}	110		2.5t - 115		ns
パスポートラッチデータ保持時間 (ALE立ち上がりから)	t _{LB}	90		1.5t - 45		ns
制御パルス幅 (RD, WR)	t _{CC1}	480		7t - 155		ns
制御パルス幅 (PSEN)	t _{CC2}	350		6t - 200		ns
データ設定時間 (WR前)	t _{DW}	390		6t - 155		ns
データ保持時間 (WR後)	t _{WD}	40		2t - 140		ns
データ保持時間 (RD, PSEN)	t _{DR}	0	110	0	1.5t - 30	ns
RD データイン時間	t _{RD1}		350		6t - 170	ns
PSEN データイン時間	t _{RD2}		190		5t - 265	ns
アドレス設定 WR	t _{AW}	300		6t - 245		ns
アドレス設定 データイン	t _{AD1}		730		12t - 360	ns
アドレス設定 インストラクション	t _{AD2}		460		8t - 265	ns
アドレスフロート RD, WR	t _{AFC1}	140		2t - 40		ns
アドレスフロート PSEN	t _{AFC2}	10		10		ns
制御パルス設定時間 (RD, WR) (ALEから)	t _{LAFC1}	200		3t - 75		ns
制御パルス設定時間 (PSEN) (ALEから)	t _{LAFC2}	60		t - 30		ns
制御パルス (RD, WR, PROG) ALEまで	t _{CA1}	50		1.5t - 85		ns
制御パルス (PSEN) ALEまで	t _{CA2}	320		4.5t - 90		ns
ポート制御設定時間 (PROG立ち上がりまで)	t _{CP}	50		2t - 130		ns
ポート制御保持時間 (PROG立ち上がりから)	t _{PC}	100		4t - 260		ns
PROG 入力データ有効	t _{PR}		650		9t - 170	ns
入力データ保持時間	t _{PF}	0	140	0	1.5t	ns
出力データ設定時間	t _{DP}	250		6t - 290		ns
出力データ保持時間	t _{PD}	40		3t - 230		ns
PROGパルス幅	t _{PP}	700		10t - 210		ns
ポート2入出力設定時間	t _{PL}	160		4.5t - 250		ns
ポート2入出力保持時間	t _{LP}	15		1.5t - 120		ns
ポート出力データ (ALEから)	t _{PV}		510		4t + 145	ns
T0周期	t _{OPRR}	270		3t		ns
命令実行時間	t _{CY}	1.36		15t		μs

*1 最小動作電圧は周波数によって決定されます。

注記：制御出力C_L = 80pF
バス出力C_L = 150pF {但し、20pF (t_{AL}、t_{AFC1}、t_{AFC2})}

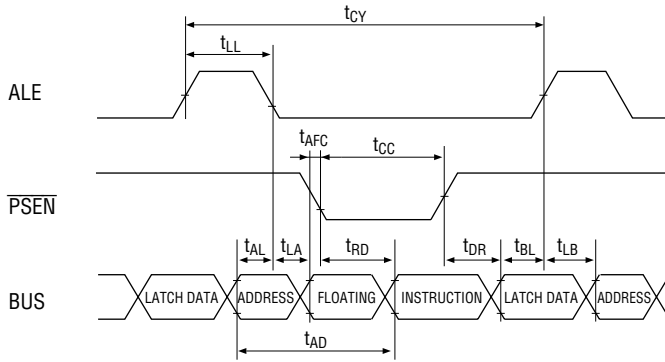
● 測定回路



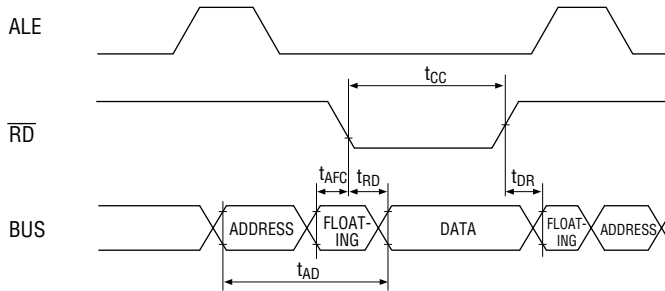
- 注記：
1. 指定の入力端子について繰り返す。
 2. 指定の出力端子について繰り返す。
 3. 指定の状態にする入力ロジック。

● タイミングチャート

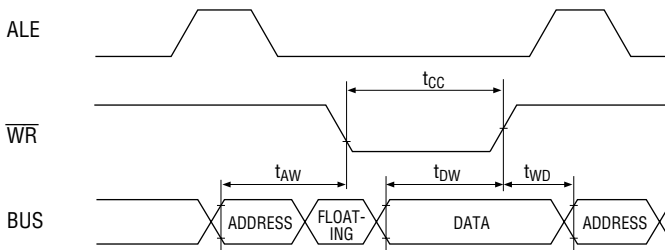
・ インストラクションフェッチ (外部プログラムメモリから)



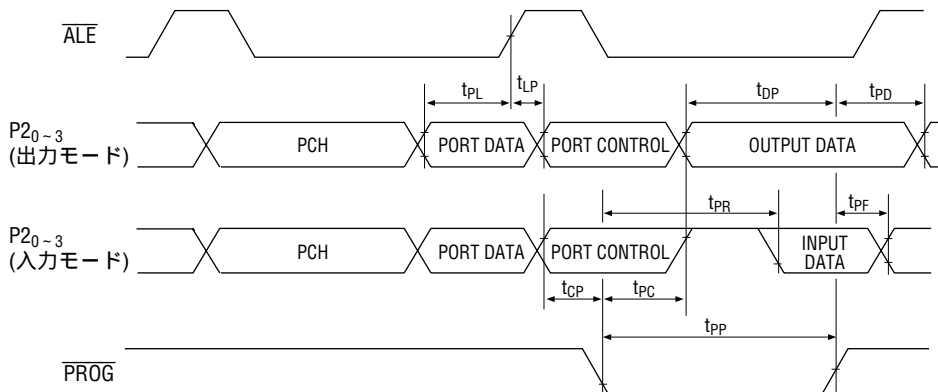
・ リード (外部データメモリから)



・ ライト



・ 拡張I/Oポート使用時のポート2下位4ビット (外部プログラムメモリモード)



■ 機能説明

● MSM80C48・MSM80C49・MSM80C50の新しい機能

MSM80C48・MSM80C49・MSM80C50は、インテル社8048・8049・8050と基本的に同機能ですが、CMOSマイコンの特長を生かした次の機能が追加されています。

1. パワーダウンモードの充実

1.1 ソフトによるパワーダウン

(1) クロック系（詳細は4. パワーダウンモード参照）

(I) XTAL発振停止（HLTS命令）

消費電力を極小化できます。

(II) クロック供給の停止（HALT命令）

解除時の立ち上がりを早くできます。

(2) I/Oポート系（詳細は表4-1、4-2参照）

I/Oポートのフローティングを行う命令（FLT、FLTT）により入出力に起因する消費電力を極小化できます。解除はFRES命令、INT端子="0"又はRESET="0"で行います。

(3) HLTS、HALTとFLT、FLTT命令の組合せにより6種類のパワーダウンができます。

1.2 ハードによるパワーダウン（詳細は4.3 V_{DD}端子使用パワーダウンモード参照）

V_{DD}端子を制御することによりXTAL発振を停止し、全I/Oポートをフローティング化して消費電力を極小にします。

2. 追加命令（11種）

HLTS	MOV A, P2
HALT	MOV P1, @R ₃
FLT	MOVP1 P, @R ₃
FLTT	DEC @Rr
FRES	DJNZ @Rr, addr
MOV A, P1	

3. BUS P₀₋₇・P1₀₋₇・P2₀₋₇・ \overline{SS} 端子使用改良

3.1 BUS P₀₋₇

MSM80C48・MSM80C49・MSM80C50はBUS P₀₋₇にOUTL BUS、A命令に関するデータ専用ラッチと外部ROMモード時のアドレス専用ラッチを独立に持つことにより、外部ROMモード及び内部ROMモード実行においても命令使用制限をなくしていますので、外部ROMモード時バスポートに関する命令の置き換えを必要としません。

内部ROMモードの時、OUTL BUS、A実行でバス・ポートをスタティック出力ポートにした後、INS A、BUSを実行すると、バス・ポートがフローティングになります。

3.2 P1_{0~7}・P2_{0~7}

MSM80C48・MSM80C49・MSM80C50はCMOSの特長をより発揮するようにP1_{0~7}・P2_{0~7}を入力ポートと使用する時、消費電力が最小になるように工夫しています。出力ポートとして使用する時は、出力データが"0"から"1"にセットされる時のみ加速回路が加作し、出力信号の立上げを速くします。入力ポートとして使用する時は入力データが"1"の時、CPUのプルアップ抵抗は約9kΩになり、入力データが"0"の時、CPUのプルアップ抵抗は約100kΩになります。このように、出力及び入力ポートとして使用する場合、インピーダンスの切り替えにより高ノイズマージンが取れます。そして、外部に流出する電流を小さくするようにしています。

3.3 \overline{SS} 端子によるCLOCK正常発振制御

\overline{SS} 端子は、HLTS、V_{DD}パワーダウンモードでXTAL1・2を停止した場合、内部のプルアップ抵抗200~500kΩがV_{CC}から切り離され20~50kΩの抵抗でV_{SS}にプルダウンされます。パワーダウン解除（起動）時 \overline{SS} 端子の内部抵抗がプルダウンからプルアップに変わります。したがって \overline{SS} 端子にコンデンサを接続しておきますと任意の"0"レベル時定数期間CPU制御部へのクロック供給を禁止します。

4. パワーダウンモード

MSM80C48・MSM80C49・MSM80C50のパワーダウンモードは、クロック制御命令とポートフローティング命令との組合せでソフト的に行う場合とV_{DD}端子を制御してハード的に行う場合の2通りあります。

4.1 命令によるパワーダウンモード

命令によるパワーダウンモードを設定するには次の命令を組合せて設定します。

(1) HALT（制御回路へのクロック供給停止）

命令コード：

説明： XTAL1・2発振器は動作を継続しますが、CPU制御回路へのクロック供給が停止されCPUは動作を停止します。なお、この命令状態から解除する時において、発振器のWAIT無しに起動します。

(2) HLTS（XTAL1・2発振停止）

命令コード：

説明： XTAL1・2発振器の動作を停止し、CPUの動作を停止します。なお、この命令状態から解除する時において、 \overline{SS} 端子にコンデンサを接続することにより、発振器が正常動作するまで任意にWAITします。（ただし、 \overline{RESET} 端子を使用する場合は別です。）

(3) FLT (P1₀₋₇、P2₀₋₇、BP₀₋₇をフローティングにする)

命令コード : 10100010

説明 : FLT命令実行によるICピンの状態詳細を表5-1に示します。

	内部ROM	外部ROM
P1	フローティング	フローティング
P2	フローティング	P2 ₀₋₃ 動作
BP	フローティング	動作

(4) FLTT (CPUから出力信号すべてをフローティングにする)

命令コード : 11000010

	内部ROM	外部ROM
ALE	フローティング	動作
PSEN	フローティング	動作
PROG	フローティング	フローティング
WR	フローティング	フローティング
PD	フローティング	フローティング
T0 OUT	フローティング	フローティング
P1	フローティング	フローティング
P2	フローティング	P2 ₀₋₃ 動作
BP	フローティング	動作
XTAL	動作	動作

FLTT命令実行によるICピン状態詳細を表4-2に示します。

- 例1. CPUの原振を直接停止してパワーダウンモードに入る場合...
HLTS [82H] 命令を実行することにより設定できます。
- 例2. CPUの制御系へのみのクロック供給を停止してパワーダウンモードに入る場合...
HALT [01H] 命令を実行することにより設定できます。
- 例3. CPUのP1₀₋₇、P2₀₋₇とBP₀₋₇をフローティングにし、CPUの原振を直接停止してパワーダウンモードに入る場合...
FLT [A2H] 命令を実行し次に、HLTS [82] 命令を実行することにより設定できます。
- 例4. CPUのP1₀₋₇、P2₀₋₇とBP₀₋₇をフローティングにし、CPUの制御系へのみのCLOCK供給を停止してパワーダウンモードに入る場合...
FLT [A2H] 命令を実行し次に、HALT [01H] 命令を実行することにより設定できます。

- 例5. CPUからの出力信号すべてをフローティングにし、CPUの原振を直接停止してパワーダウンモードに入る場合...
 FLTT [C2H] 命令を実行し次に、HLTS [82H] 命令を実行することにより設定できます。
- 例6. CPUからの出力信号すべてをフローティングにし、CPUの制御系へのみのCLOCK供給を停止してパワーダウンモードに入る場合...
 FLTT [C2H] 命令を実行し次に、HALT [01H] 命令を実行することにより設定できます。
 ただし、出力ポートがフローティングに設定される場合、出力ポート端子のレベルは、プルアップ抵抗あるいはプルダウン抵抗（50kΩ位）をポート端子に接続して、端子のレベルを"1"及び"0"のいずれかに固定してください。

4.2 命令実行によるパワーダウンモードからの解除

例1～例6のパワーダウンモード状態を解除するには、割込み端子と $\overline{\text{RESET}}$ 端子を使用する2通りがあります。

- (1) 外部割込み可能状態（ENI 命令実行後）で $\overline{\text{INT}}$ 端子を使用する場合...

$\overline{\text{INT}}$ 端子に"0"レベルを入力するとCLOCK制御回路が動作し、CPUを起動させます。 $\overline{\text{INT}}$ 端子にALE信号が2回以上出力するまで"0"レベルを入力しますと、外部割込みを発生し3番地から実行します。ただし、割込み処理ルーチンの中でパワーダウンモードに入った場合は、停止命令の次命令から継続実行となります。

- (2) 外部割込み禁止状態（DIS I 命令実行後）で $\overline{\text{INT}}$ 端子を使用する場合...

$\overline{\text{INT}}$ 端子に"0"レベルを入力するとCLOCK制御回路が動作し、CPUを起動させます。 $\overline{\text{INT}}$ 端子にALE信号が2回以上出力するまで"0"レベルを入力しますと、停止命令の次命令から継続実行となります。

- (3) $\overline{\text{RESET}}$ 端子を使用する場合...

$\overline{\text{RESET}}$ 端子に"0"レベルを入力するとCLOCK制御回路が動作し、CPUを起動させます。 $\overline{\text{RESET}}$ 端子にALE信号が2回以上出力するまで"0"レベルを入力しますと、CPUがリセットされ、0番地から実行します。ただし、XTAL1、2を停止したモードから起動する場合は、XTAL1、2が正常発振するまでの期間 $\overline{\text{RESET}}$ 端子に"0"レベルを入力します。

4.3 V_{DD}端子使用パワーダウンモード

MSM80C48・MSM80C49・MSM80C50は、外部ROM及び内部ROM実行中にV_{DD}端子を強制的に"0"レベルにすると、CPUはXTAL1・2発振機能を停止しRESET端子、SS端子とXTAL1・2端子を除くI/O信号端子全てを高インピーダンス（フローティング）にし、CPUの内部状態を保持して停止します。

4.4 V_{DD}パワーダウンモードの解除（起動）方法

(1) RESET端子を使用する場合

- ・RESET端子に"0"レベルを入力しておき次にV_{DD}端子を"1"レベルにするとCLOCK制御回路が動作し、CPUを起動させます。この場合は、XTAL1・2を停止したモードから起動するので、XTAL1・2が正常発振するまでの期間RESET端子に"0"レベルを入力しますと、CPUがリセットされ、0番地から実行となります。

(2) 外部割込み可能状態（ENI 命令実行後）でINT端子を使用する場合

- ・INT端子に"0"レベルを入力しておき次にV_{DD}端子を"1"レベルにするとCLOCK制御回路が動作し、CPUを起動させます。INT端子にALE信号が2回以上出力するまで"0"レベルを入力しますと、外部割込みを発生し、3番地から実行します。ただし、割込み処理ルーチンの中でパワーダウンモードに入った場合は、停止命令の次命令から継続実行となります。

(3) 外部割込み禁止状態（DISI 命令実行後）でINT端子を使用する場合

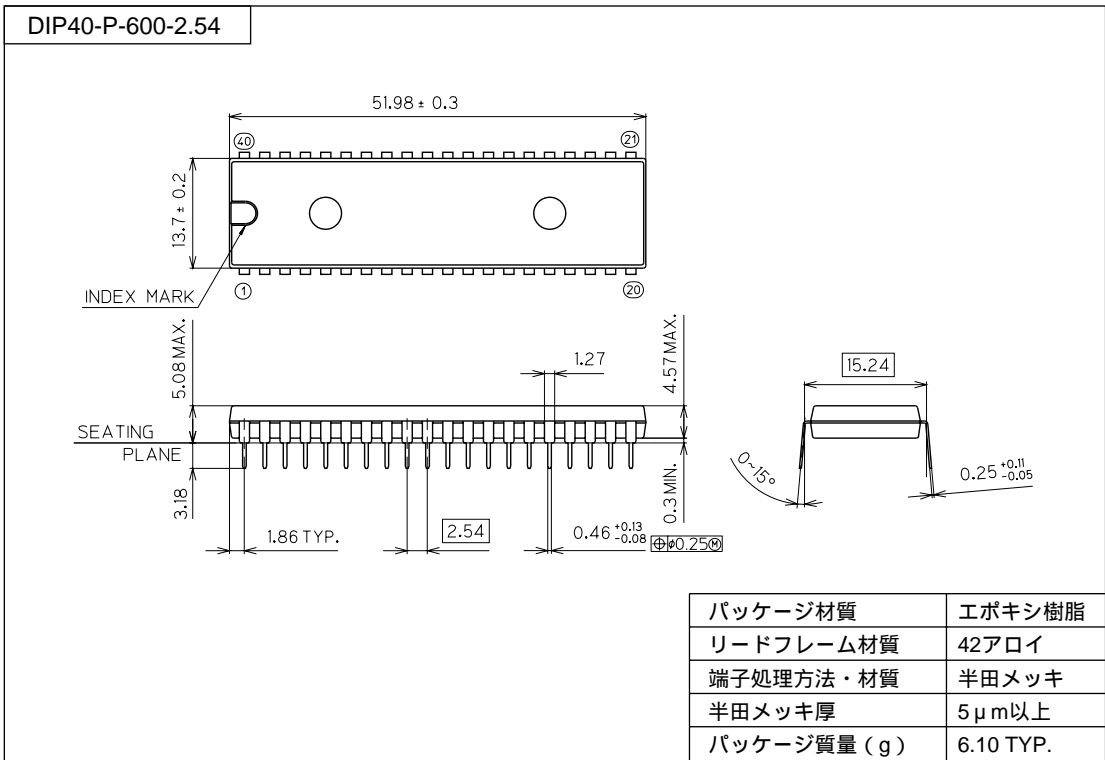
- ・INT端子に"0"レベルを入力しておき次にV_{DD}端子を"1"レベルにするとCLOCK制御回路が動作し、CPUを起動させます。INT端子にALE信号が2回以上出力するまで"0"レベルを入力しますと、停止命令の次命令から継続実行となります。

(4) V_{DD}端子のみを使用する場合

- ・RESET端子とINT端子を"1"レベルにしておき次にV_{DD}端子を"1"レベルにするとCLOCK制御回路が動作し、CPUが起動します。この場合は、停止した所から継続実行となります。

■ パッケージ寸法図

(単位：mm)

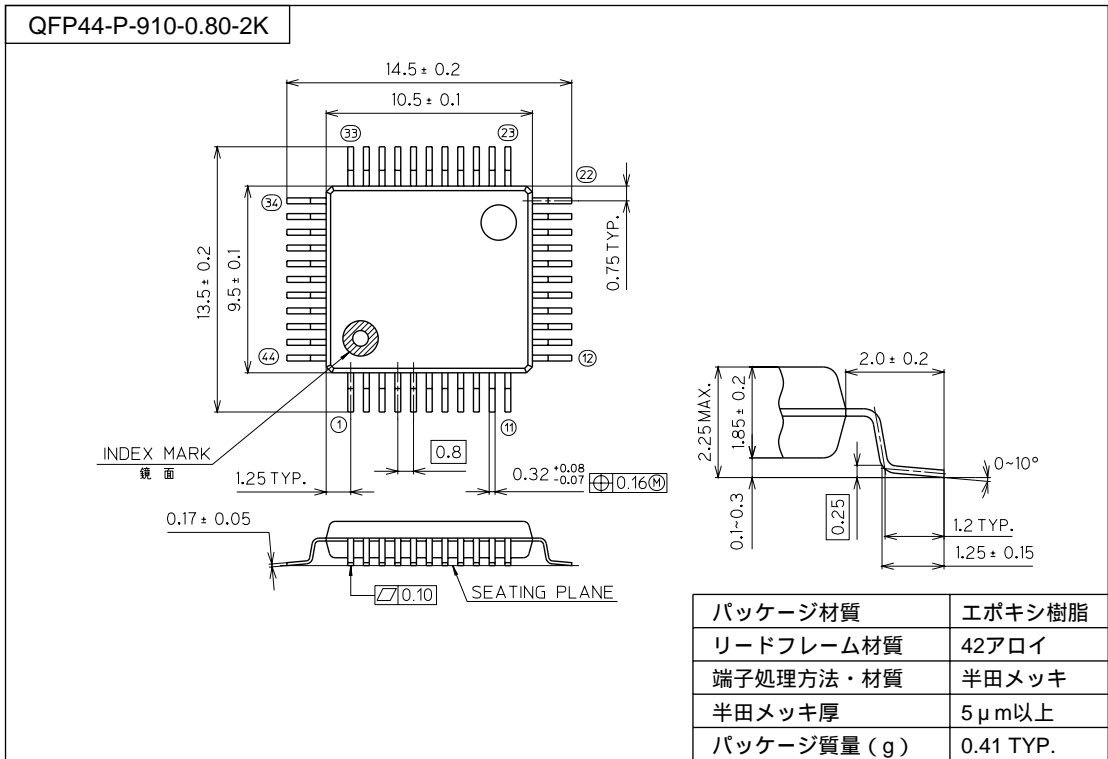


表面実装型パッケージ実装上のご注意

SOP、QFP、TSOP、TQFP、LQFP、SOJ、QFJ (PLCC)、SHP、BGA等は表面実装型パッケージであり、リフロー実装時の熱や保管時のパッケージの吸湿量等に変化を受けやすいパッケージです。

したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件（リフロー方法、温度、回数）、保管条件などを弊社担当営業まで必ずお問い合わせください。

(単位 : mm)



表面実装型パッケージ実装上のご注意

SOP、QFP、TSOP、TQFP、LQFP、SOJ、QFJ (PLCC)、SHP、BGA等は表面実装型パッケージであり、リフロー実装時の熱や保管時のパッケージの吸湿量等に大変影響を受けやすいパッケージです。

したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件 (リフロー方法、温度、回数)、保管条件などを弊社担当営業まで必ずお問い合わせください。