

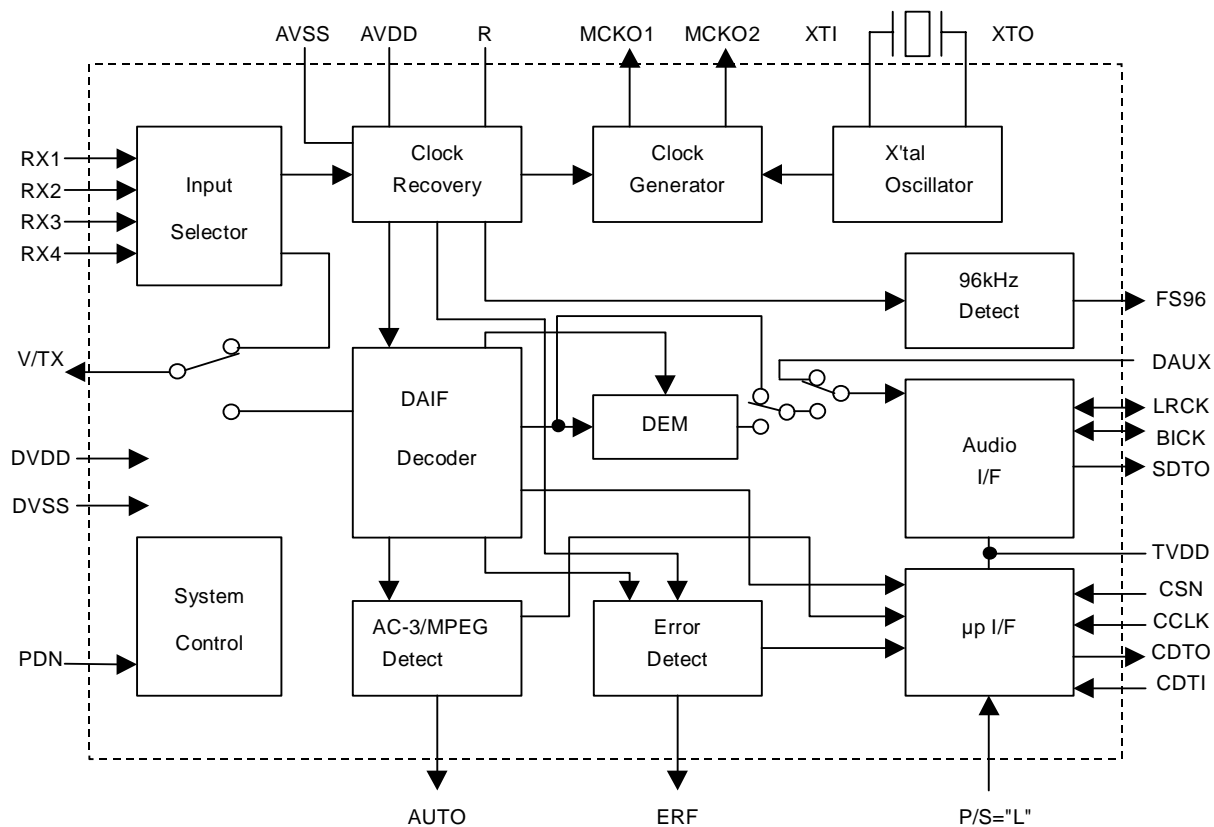

AK4112B**High Feature 96kHz 24bit DIR****概 要**

AK4112Bは96kHz, 24bitに対応したデジタルオーディオレシーバ (DIR)で、チャンネルステータスは民生用およびプロ用の両フォーマットに対応します。さらにAC-3/MPEG等のNon-PCMデータストリームを自動検出し、マルチチャンネルCODEC, AK4527Bと組み合わせて容易にAC-3システムを実現できます。デバイスの設定は専用のパラレルピンか、またはシリアル μ P I/Fによる設定が可能です。AK4112Bは小型28Pin VSOPパッケージに実装され、基板スペースを削減します。

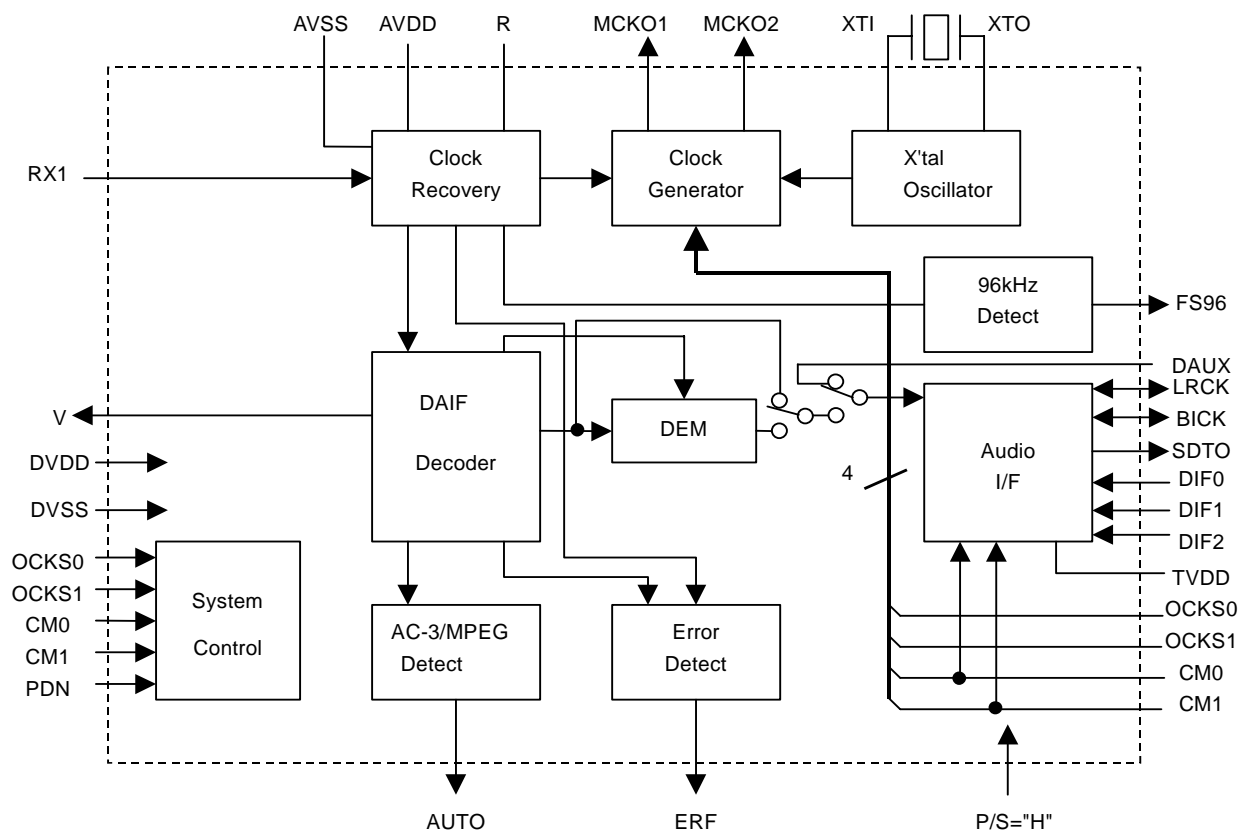
*AC-3 is a trademark of Dolby Laboratories.

特 長

- AES/EBU, IEC958, S/PDIF, EIAJ CP1201対応
- 低ジッタPLL
- PLLロックレンジ: 22k ~ 108kHz
- PLL/X'tal切り替え機能
- アンプ内蔵4入力と1スルー出力対応
- 補助デジタルデータ入力対応
- ディエンファシス内蔵 (32kHz, 44.1kHz, 48kHz, 96kHz対応)
- 各種検出ピン
 - Non-PCMデータストリーム自動検出ピン
 - Validityフラグ出力ピン
 - 96kHz サンプリング検出ピン
 - Unlock & Parity Error検出ピン
- 24bitフォーマット対応
- オーディオI/F: マスター/スレーブモード対応
- チャンネルステータスビットの先頭32bit分のバッファ内蔵
- Non-PCMデータストリームのバーストプリアンプPc, Pd用バッファ内蔵
- シリアル μ P I/F対応
- 128fs/256fs/512fsマスタクロック対応
- 電源電圧: 2.7 to 3.6V (5V入力可)
- 小型パッケージ: 28ピンVSOP
- Ta: -40 ~ 85°C



シリアルコントロールモード



パラレルコントロールモード

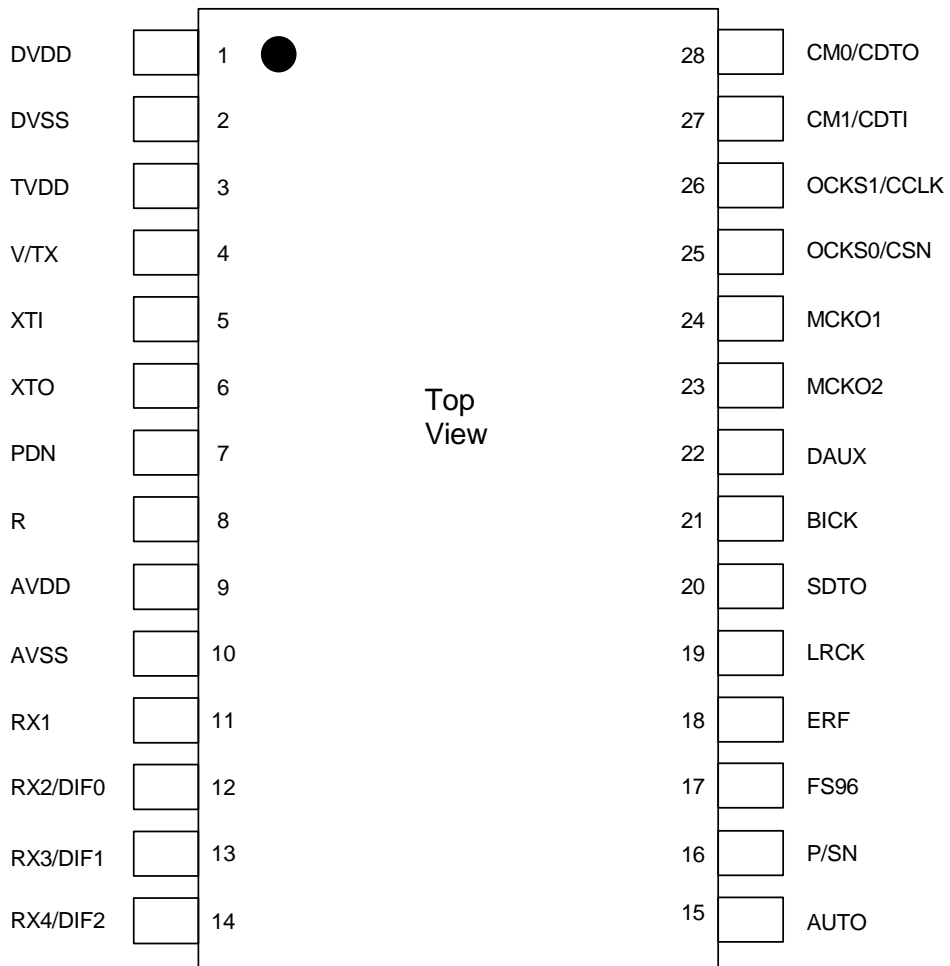
■ オーダリングガイド

AK4112BVF

-40 ~ +85 °C

28pin VSOP (0.65mm pitch)

■ ピン配置



ピン/機能

No.	Pin Name	I/O	Function
1	DVDD	-	Digital Power Supply Pin, 3.3V
2	DVSS	-	Digital Ground Pin
3	TVDD	-	Input Buffer Power Supply Pin, 3.3V or 5V
4	V	O	Validity Flag Output Pin in Parallel Mode
	TX	O	Transmit channel (through data) Output Pin in Serial Mode
5	XTI	I	X'tal Input Pin
6	XTO	O	X'tal Output Pin
7	PDN	I	Power-Down Mode Pin When "L", the AK4112B is powered-down and reset.
8	R	-	External Resistor Pin 18kΩ +/-1% resistor to AVSS externally.
9	AVDD	-	Analog Power Supply Pin
10	AVSS	-	Analog Ground Pin
11	RX1	I	Receiver Channel 1 This channel is selected in Parallel Mode or default of Serial Mode.
12	DIF0	I	Audio Data Interface Format 0 Pin in Parallel Mode
	RX2	I	Receiver Channel 2 in Serial Mode
13	DIF1	I	Audio Data Interface Format 1 Pin in Parallel Mode
	RX3	I	Receiver Channel 3 in Serial Mode
14	DIF2	I	Audio Data Interface Format 2 Pin in Parallel Mode
	RX4	I	Receiver Channel 4 in Serial Mode
15	AUTO	O	Non-PCM Detect Pin "L": No detect, "H": Detect
16	P/S	I	Parallel/Serial Select Pin "L": Serial Mode, "H": Parallel Mode
17	FS96	O	96kHz Sampling Detect Pin (RX Mode) "H": fs=88.2kHz or more, "L" fs=54kHz or less. (X'tal Mode) "H": XFS96=1, "L": XFS96=0.
18	ERF	O	Unlock & Parity Error Output Pin "L": No Error, "H": Error
19	LRCK	I/O	Output Channel Clock Pin
20	SDTO	O	Audio Serial Data Output Pin
21	BICK	I/O	Audio Serial Data Clock Pin
22	DAUX	I	Auxiliary Audio Data Input Pin
23	MCK02	O	Master Clock #2 Output Pin
24	MCK01	O	Master Clock #1 Output Pin
25	OCKS0	I	Output Clock Select 0 Pin in Parallel Mode
	CSN	I	Chip Select Pin in Serial Mode
26	OCKS1	I	Output Clock Select 1 Pin in Parallel Mode
	CCLK	I	Control Data Clock Pin in Serial Mode
27	CM1	I	Master Clock Operation Mode Pin0 in Parallel Mode
	CDTI	I	Control Data Input Pin in Serial Mode
28	CM0	I	Master Clock Operation Mode Pin1 in Parallel Mode
	CDTO	O	Control Data Output Pin in Serial Mode

Note 1: All input pins except internal pull-down pins should not be left floating.

ABSOLUTE MAXIMUM RATINGS

(AVSS, DVSS=0V; Note 2)

Parameter		Symbol	min	max	Units
Power Supplies:	Analog	AVDD	-0.3	4.6	V
	Digital	DVDD	-0.3	4.6	V
	Input Buffer	TVDD	-0.3	6.0	V
	AVSS-DVSS (Note 3)	Δ GND		0.3	V
Input Current , Any Pin Except Supplies		IIN	-	± 10	mA
Input Voltage (Except XTI pin)		VIN	-0.3	TVDD+0.3	V
Input Voltage (XTI pin)		VINX	-0.3	DVDD+0.3	V
Ambient Temperature (Power applied)		Ta	-40	85	°C
Storage Temperature		Tstg	-65	150	°C

Note 2: All voltages with respect to ground.

Note 3: AVSS and DVSS must be connected to the same ground.

WARNING: Operation at or beyond these limits may result in permanent damage to the device.

Normal operation is not guaranteed at these extremes.

RECOMMENDED OPERATING CONDITIONS

(AVSS, DVSS=0V; Note 2)

Parameter		Symbol	min	typ	max	Units
Power Supplies:	Analog	AVDD	2.7	3.3	3.6	V
	Digital	DVDD	2.7	3.3	AVDD	V
	Input Buffer	TVDD	DVDD	3.3	5.5	V

Note 2: All voltages with respect to ground.

S/PDIF RECEIVER CHARACTERISTICS

(Ta=25°C; AVDD, DVDD=2.7~3.6V;TVDD=2.7~5.5V)

Parameter	Symbol	min	typ	max	Units
Input Resistance	Zin		10		k Ω
Input Voltage	VTH	350			mVpp
Input Hysteresis	VHY	-	130		mV
Input Sample Frequency	fs	22	-	108	kHz

DC CHARACTERISTICS

(Ta=25°C; AVDD, DVDD=2.7~3.6V;TVDD=2.7~5.5V; unless otherwise specified)

Parameter	Symbol	min	typ	max	Units
Power Supply Current					
Normal operation : PDN = "H" (Note 4)			20	40	mA
Power down: PDN = "L" (Note 5)			10	100	μ A
High-Level Input Voltage (Except XTI pin)	VIH	70%DVDD	-	TVDD	V
High-Level Input Voltage (XTI pin)	VIH	70%DVDD	-	DVDD	V
Low-Level Input Voltage	VIL	DVSS-0.3	-	30%DVDD	V
High-Level Output Voltage (Iout=-400 μ A)	VOH	DVDD-0.4	-	-	V
Low-Level Output Voltage (Iout=400 μ A)	VOL	-	-	0.4	V
Input Leakage Current	Iin	-	-	± 10	μ A

Note 4: AVDD, DVDD=3.3V, TVDD=5.0V, CL=20pF, fs=96kHz, X'tal=12.288MHz,

Clock Operation Mode 2, OCKS1=1, OCKS0=0.

AVDD=8mA (typ), DVDD=12mA (typ), TVDD=10 μ A (typ)

Note 5: RX inputs are pulled-down and all digital input pins are held DVDD or DVSS.

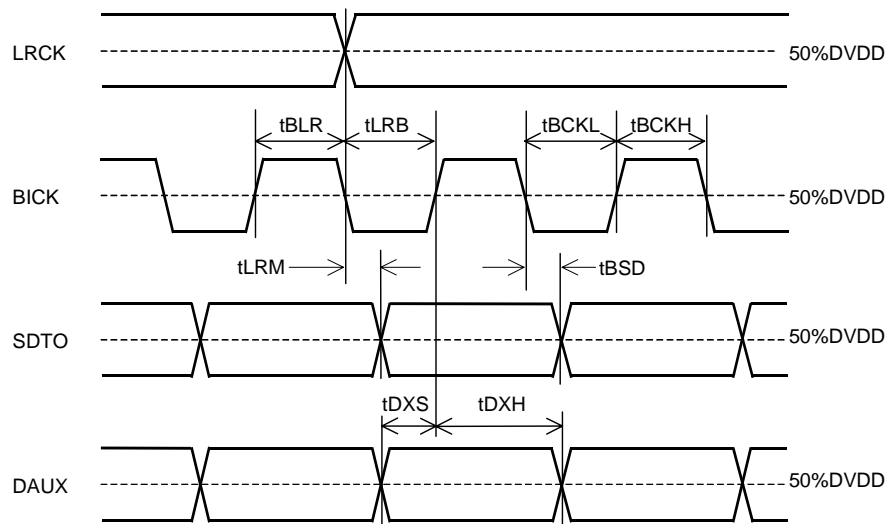
SWITCHING CHARACTERISTICS

(Ta=25°C; DVDD, AVDD2.7~3.6V, TVDD=2.7~5.5V; CL=20pF)

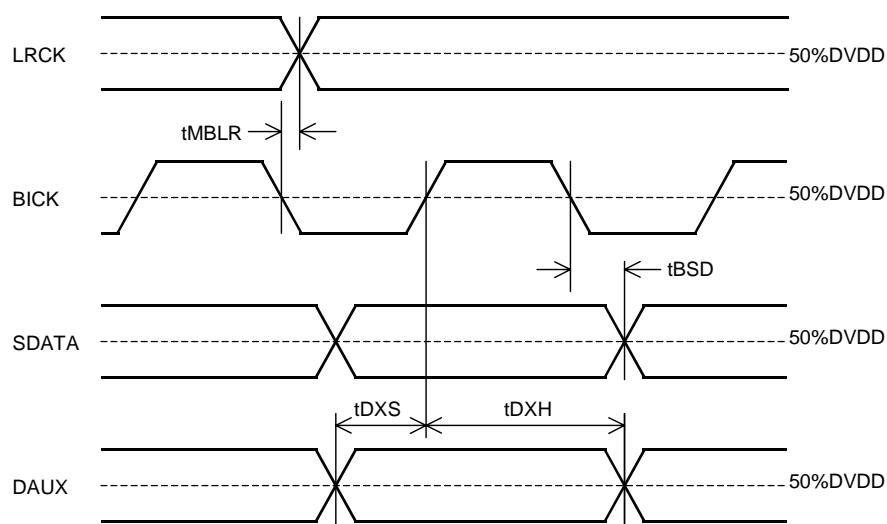
Parameter	Symbol	min	typ	max	Units	
Master Clock Timing						
Crystal Resonator	Frequency	fXTAL	11.2896		24.576	MHz
External Clock	Frequency	fECLK	11.2896		24.576	MHz
	Duty	dECLK	40	50	60	%
MCKO1 Output	Frequency	fMCK1	5.632		27.648	MHz
	Duty	dMCK1	40	50	60	%
MCKO2 Output	Frequency	fMCK2	2.816		27.648	MHz
	Duty	dMCK2	40	50	60	%
PLL Clock Recover Frequency (RX1-4)		fpll	22	-	108	kHz
LRCK Frequency		fs	22	48	108	kHz
Duty Cycle		dLCK	45		55	%
Audio Interface Timing						
Slave Mode						
BICK Period		tBCK	140			ns
BICK Pulse Width	Low	tBCKL	60			ns
	High	tBCKH	60			ns
LRCK Edge to BICK “↑”	(Note 6)	tLRB	30			ns
BICK “↑” to LRCK Edge	(Note 6)	tBLR	30			ns
LRCK to SDTO (MSB)		tLRM			35	ns
BICK “↓” to SDTO		tBSD			35	ns
DAUX Hold Time		tDXH	20			ns
DAUX Setup Time		tDXS	20			ns
Master Mode						
BICK Frequency		fBCK		64fs		Hz
BICK Duty		dBCK		50		%
BICK “↓” to LRCK		tMBLR	-20		20	ns
BICK “↓” to SDTO		tBSD			40	ns
DAUX Hold Time		tDXH	20			ns
DAUX Setup Time		tDXS	20			ns
Control Interface Timing						
CCLK Period		tCCK	200			ns
CCLK Pulse Width	Low	tCCKL	80			ns
	High	tCCKH	80			ns
CDTI Setup Time		tCDS	50			ns
CDTI Hold Time		tCDH	50			ns
CSN “H” Time		tCSW	150			ns
CSN “↓” to CCLK “↑”		tCSS	50			ns
CCLK “↑” to CSN “↑”		tCSH	50			ns
CDTO Delay		tDCD			45	ns
CSN “↑” to CDTO Hi-Z		tCCZ			70	ns
Reset Timing						
PDN Pulse Width		tPW	150			ns

Note 6: BICK rising edge must not occur at the same time as LRCK edge.

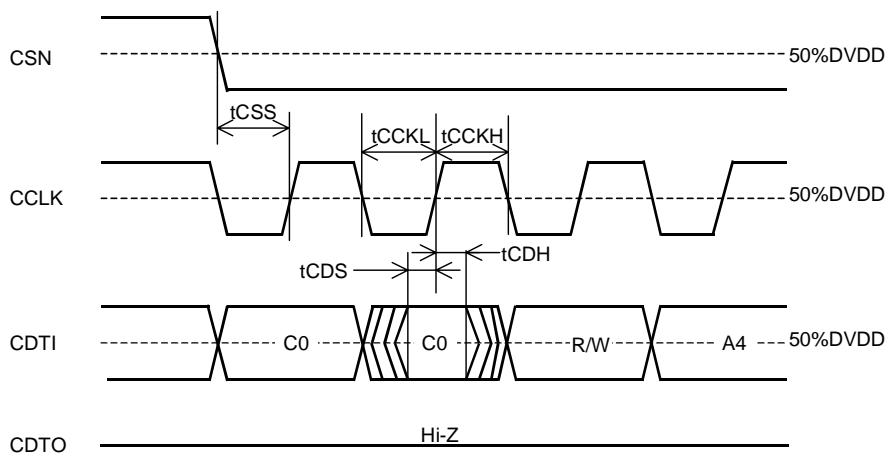
■ Timing Diagram



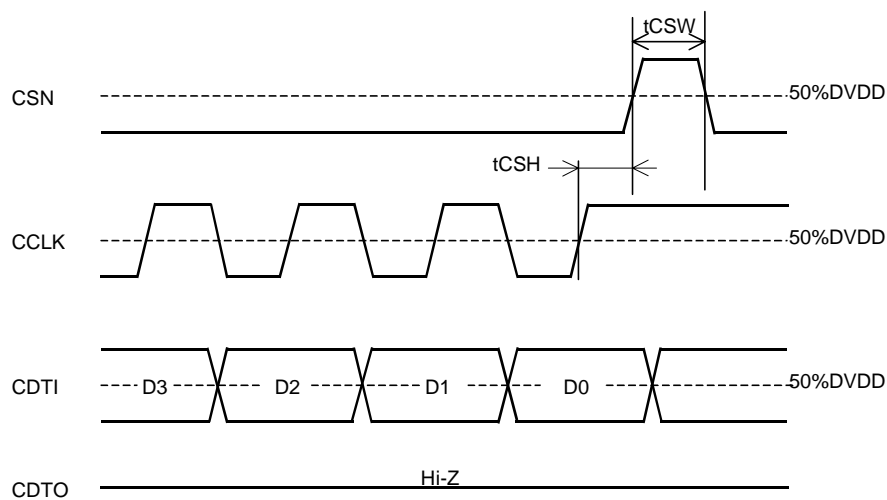
Serial Interface Timing (Slave Mode)



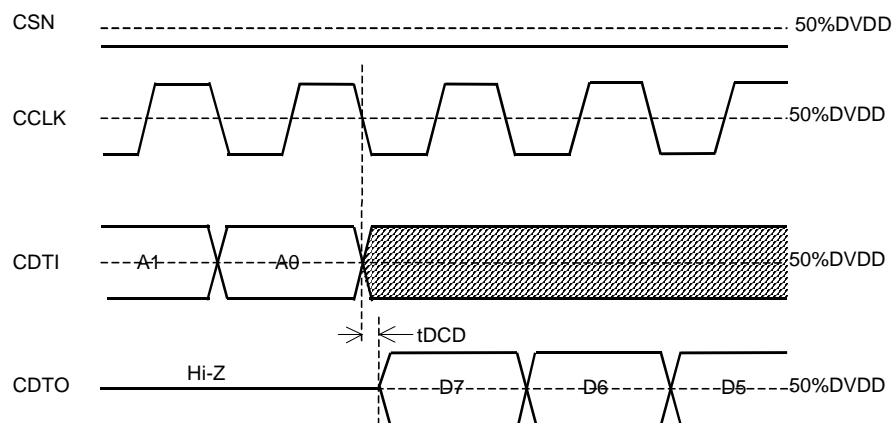
Serial Interface Timing (Master Mode)



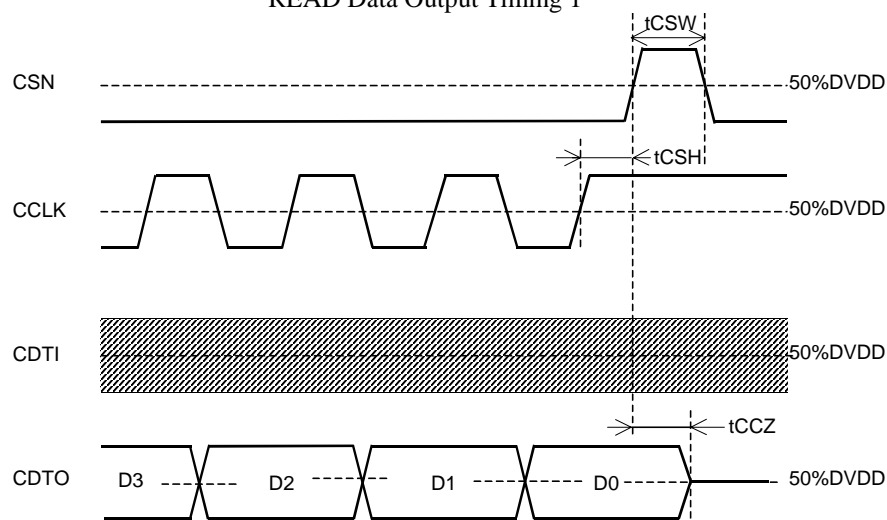
WRITE/READ Command Input Timing



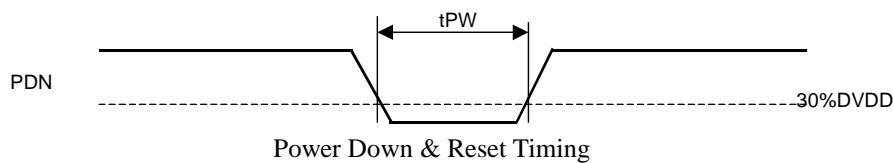
WRITE Data Input Timing



READ Data Output Timing 1



READ Data Input Timing 2



Power Down & Reset Timing

動作説明

■ Non-PCMデータストリーム自動検出機能

AK4112BはNon-PCMデータストリームの検出機能を持ちます。Dolby “AC-3 Data Stream in IEC958 Interface”に準拠した32bit ModeのNon-PCMデータプリアンプルが検出されるときAUTOピンが“H”になります。プリアンプルの96bit sync codeは 0x0000, 0x0000, 0x0000, 0x0000, 0xF872 and 0x4E1Fで構成されます。次の4096フレームでsync codeが検出されない場合、さらにsync codeが検出されるまでAUTOピンは“L”です。また、このプリアンプルが検出された場合、sync code に続いて2バイト(Pc, Pd)をレジスタ(0DH ~ 10H) に格納します。

■ 96kHz対応クロックリカバリ回路

内蔵する低ジッタPLLは22kHzから108kHzのロックレンジをもち、ロック時間は20ms以下です。また、96kHz検出機能により入力サンプルレートが88.2kHz以上になるとRFS96ビット及びFS96ピン出力を“H”に、54kHz以下では“L”にします。X'talモード時はXFS96ビットで指定された値がFS96ピンから出力されます。正しい間隔でプリアンプルを受信しないと同期外れが起こります。

■ マスタクロック出力

AK4112Bはマスタクロック出力ピンを2ピンもちます。マスタクロックソースとしてPLLでリカバリしたクロックまたは外付けのX'talで発振したクロックのどちらかを選択できます(Table 2)。マスタクロック出力(MCKO1, MCKO2)及びX'talの周波数のfsに対する比はOCKS0, 1で設定します。

No.	OCKS1	OCKS0	MCKO1	MCKO2	X'tal	fs (kHz)		
0	0	0	256fs	256fs	256fs	32, 44.1, 48, 96	Default	
1	0	1	256fs	128fs	256fs	32, 44.1, 48, 96		
2	1	0	512fs	256fs	512fs	32, 44.1, 48		
3	1	1	Test Mode					

Table 1. Master Clock Frequency Select

■ マスタクロック動作モード

オーディオ出力データとしてRXデータを選択するかDAUXデータを選択するかはCM0とCM1で設定されます。CM0とCM1の設定内容はピン設定とレジスタ設定で同じです。Mode 2ではPLLがUnlockになるとクロックソースが自動的にX'talに切り替わります。Mode 3ではクロックソースはX'talに固定ですが、チャンネルステータス等のRXデータはモニターできます。Mode 2, 3ではPLLとX'talの周波数が重ならないように設定することを推奨します。Mode 0ではX'tal発振は停止します。

Mode	CM1	CM0	UNLOCK	PLL	X'tal	Clock source	FS96	SDTO	
0	0	0	-	ON	OFF	PLL	RFS96	RX	Default
1	0	1	-	OFF	ON	X'tal	XFS96	DAUX	
2	1	0	0	ON	ON	PLL	RFS96	RX	
			1	ON	ON	X'tal	XFS96	DAUX	
3	1	1	-	ON	ON	X'tal	XFS96	DAUX	

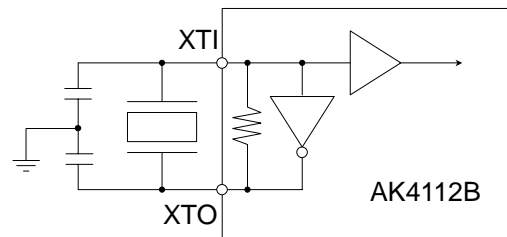
ON:発振 (Power-up), OFF:発振停止 (Power-Down)

Table 2. Clock Operation Mode Select

■ クロックソース

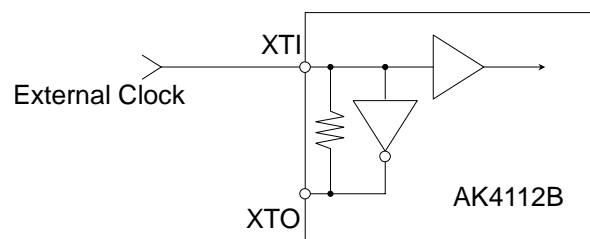
AK4112BのXTI pin (#5 pin)には、以下の方法でのクロックの供給が可能です。

1) X'talを使う場合



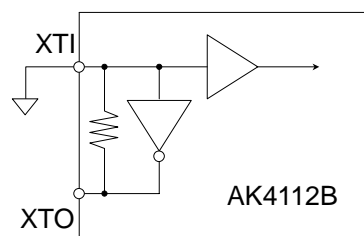
Note : コンデンサの値は水晶振動子に依存します(Typ.10-40pF)。

2) 外部クロックを使う場合



Note : DVDD以上のクロックは入力しないで下さい。

3) クロック動作モード0に固定の場合



■ サンプリング周波数とプリエンファシス検出

AK4112Bはチャンネルステータスのサンプリング周波数とプリエンファシス情報をエンコードしてコントロールレジスタのFS0, FS1, PEMビットに出力します。これらの情報はリセット時チャンネル1の情報をエンコードしますが、コントロールレジスタのCS12ビットでチャンネル2に切り替えることもできます。

FS1	FS0	fs	Byte 3 Bits 0-3
0	0	44.1kHz	0000
0	1	Reserved	all others
1	0	48kHz	0100
1	1	32kHz	1100

Table 3. fs Information in Consumer Mode

FS1	FS0	fs	Byte 0 Bits 6-7
0	0	44.1kHz	10
0	1	Reserved	00
1	0	48kHz	01
1	1	32kHz	11

Table 4. fs Information in Professional Mode

PEM	Pre-emphasis	Byte 0 Bits 3-5
0	OFF	≠ 0X100
1	ON	0X100

Table 5. PEM in Consumer Mode

PEM	Pre-emphasis	Byte 0 Bits 2-4
0	OFF	≠110
1	ON	110

Table 6. PEM in Professional Mode

■ ディエンファシスフィルタコントロール

IIRフィルタによる4周波数（32kHz, 44.1kHz, 48kHz, 96kHz）対応のディエンファシスフィルタ（50/15 μ s特性）を内蔵しています。DEAU=“1”のとき、チャンネルステータスのサンプリング周波数とプリエンファシスの情報およびRFS96から自動的にディエンファシスフィルタをイネーブルします。リセット時はこのモードです。従って、パラレルコントロールモードでは、常時このモードになっており、ディエンファシスフィルタはチャンネル1のステータスビットでコントロールされます。シリアルコントロールモード時、DEAU = “0”にするとDEM0/1, DFSビットでディエンファシスフィルタをコントロールできます。ディエンファシスON時に “0”データを入力した場合には “0”若しくは “-1”が出力されます。ディエンファシスOFF時は内部のディエンファシスフィルタはバイパスされ、リカバリされたデータのまま出力されます。

FS96	FS1	FS0	Mode
0	0	0	44.1kHz
0	0	1	OFF
0	1	0	48kHz
0	1	1	32kHz
1	0	0	OFF
1	0	1	OFF
1	1	0	96kHz
1	1	1	OFF

Table 7. De-emphasis Auto Control at DEAU = “1” and PEM = “1”

DFS	DEM1	DEM0	Mode
0	0	0	44.1kHz
0	0	1	OFF
0	1	0	48kHz
0	1	1	32kHz
1	0	0	OFF
1	0	1	OFF
1	1	0	96kHz
1	1	1	OFF

Default

Table 8. De-emphasis Manual Control at DEAU = “0” and PEM = “1”

■ リセットとパワーダウン

AK4112Bは、PDNピンによる回路全体のパワーダウンと、PWNビットによる一部パワーダウン、RSTNビットによるレジスタの初期化及びタイミングのリセットが可能です。パラレルモード時はPDNピンのみ有効です。電源立ち上げ時は必ずPDNピンに一度“L”を入力してリセットして下さい。

PDN Pin (ピン#7):

“L”にするとアナログ、デジタル全ての回路はパワーダウン及びリセット状態になります。全てのレジスタは初期化され、クロックも停止します。また、レジスタのリード/ライトはできません。

RSTN Bit (アドレス00HのD0):

“0”のときPWNとRSTN以外のレジスタを初期化します。データ処理系のタイミングも初期化されません。“0”の間、クロックは出力されますがSDTOは“L”です。また、PWNとRSTN以外のレジスタのライトはできません。リードは可能です。

PWN Bit (アドレス00HのD1):

“0”のときクロックリカバリ回路をパワーダウン・初期化します。これによってPLLからのマスタクロックは供給されなくなります。X`talの場合はクロックは出力されます。レジスタの値は初期化されませんのでモード設定等は保持されます。また、リード/ライトは可能です。

■ バイフェーズ入力とスルー出力

シリアルコントロールモードでは4入力(RX1-4)に対応します。各入力是不平衡モードに対応したアンプが内蔵されており、350mV_{pp}の信号も受信可能です。また、4入力から1入力を選択してTXピンにスルー出力できます。リカバリする入力データはIPS0, 1で選択し、スルー出力はOPS0, 1で選択します。また、スルー出力(TX)はTXE bitにより、出力を止めることができます。

IPS1	IPS0	INPUT Data	
0	0	RX1	Default
0	1	RX2	
1	0	RX3	
1	1	RX4	

Table 9. Recovery Data Select

OPS1	OPS0	INPUT Data	
0	0	RX1	Default
0	1	RX2	
1	0	RX3	
1	1	RX4	

Table 10. Output Data Select

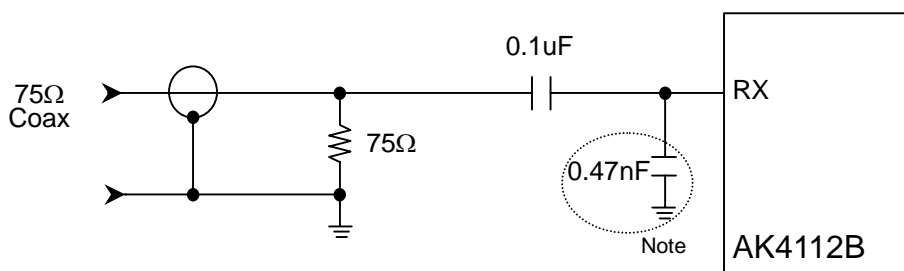


Figure 1. Consumer Input Circuit (Coaxial Input)

Note: Coaxial 入力では、隣接する RX 入力パターンからカップリングするノイズレベルが 50mV を越える場合、誤動作する可能性があります。この場合、デカップリングコンデンサを追加することで改善することが可能です。

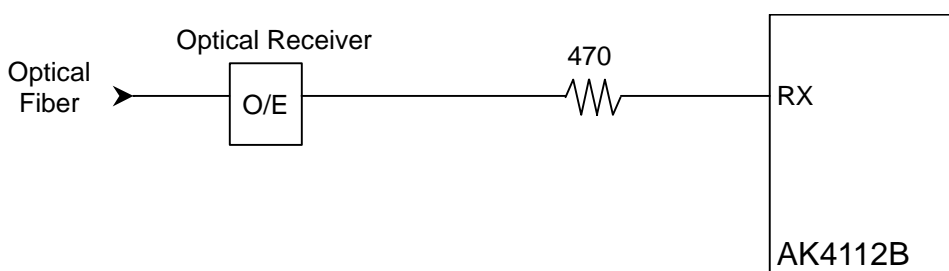


Figure 2. Consumer Input Circuit (Optical Input)

Coaxial入力の場合、RXの受信レベルは非常に小さいので、シリアルコントロールモードでは複数のRX入力間でクロストークを起こさないよう配線の間シールドパターンを入れるなどして注意して下さい。パラレルコントロールモードでは1入力(RX1)のみ対応し、RX2-4はオーディオデータフォーマットピンに切り替わります。これらのピンは通常のロジック入力ではないため、“H” または “L” に固定して使用して下さい。

AK4112BはTX出力バッファを内蔵し、外部抵抗と組み合わせると0.5V±20%を満足します。Figure 3でT1は1:1のトランスです。

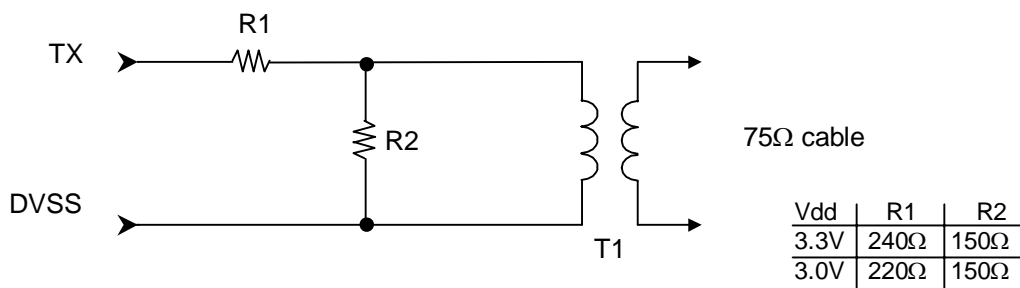


Figure 3. TX External Resistor Network

■ エラー発生時の処理

ERFピンが“H”になる要因には以下の5つがあります。ERFピンは内部PLL動作の状態を示しており、PLLがOFFになる場合(Clock Operation Mode 1)は“L”です。

1. Unlock Error : PLLがアンロック状態になると“H”になります。
2. Parity Error : 各サブフレーム毎に更新されます。
3. Biphase Error : 各サブフレーム毎に更新されます。
4. Frame Length Error : 各サブフレーム毎に更新されます。
5. STC(Status Change) flag=“1” : 一度セットされると03Hを読み込むまで保持されます。

パラレルモードでは、1から4の要因のORがERFピンに出力されます。一度ERFピンが“H”になると、全ての要因が正常に復帰してから1024/fs間は“H”の状態を保持します。エラーが起こった場合の各出力ポートの状態は以下ようになります。Frame Length Errorは、入力されるパイフェーズ信号のSYNC間隔が正常でない場合に起きます。アンロック時はチャンネルステータスビットに関するレジスタは更新されず、前の値を保持します。

Error	AUTO	SDTO	V
Unlock Error	“L”	“L”	“L”
Parity Error	Output	Previous Data	Output
Biphase Error	Output	Previous Data	Output
Frame Length Error	Output	Previous Data	Output

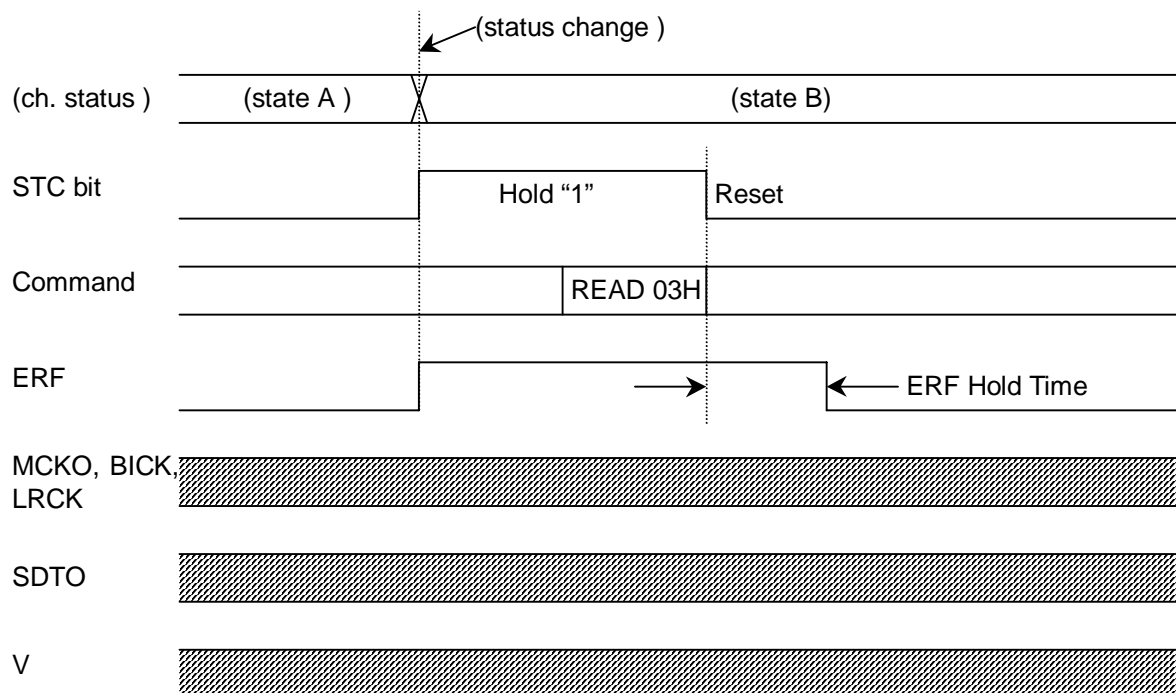
Table 11. Error Handling (Parallel Mode)

シリアルモードでは、上記1から5の要因のORがERFピンに出力されます。但し、Parity Error, Biphase Error, Frame Length ErrorはMPARビットで、STCフラグはMSTCビットでそれぞれマスクでき、その要因はERFに反映されません。

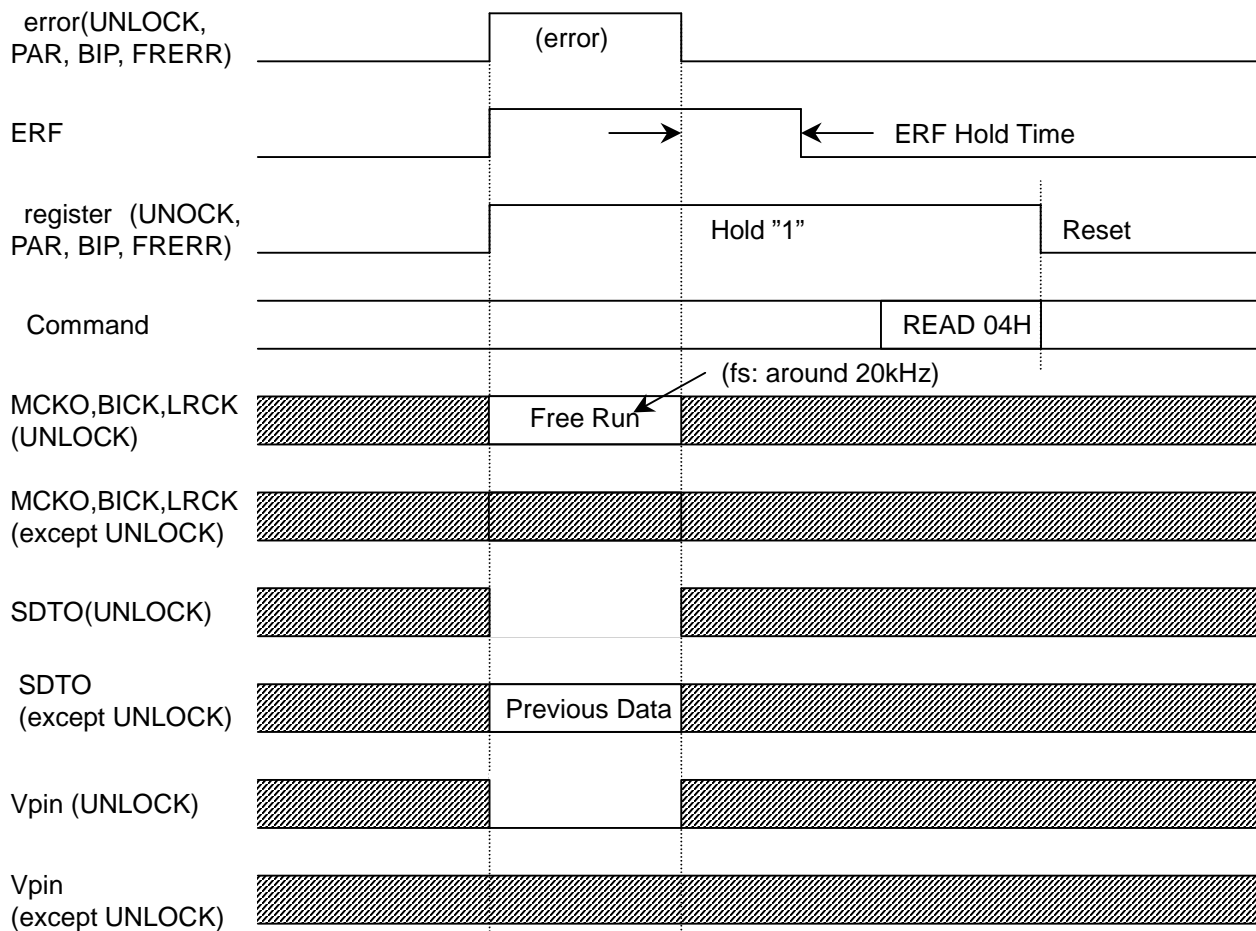
STCフラグは Receiver Status 1(03H)レジスタのD5-0ビットの前の値と今回の値を比較して違うとき、“1”になります。ビットの比較はfs毎に行われます。STCフラグはReceiver Status 1(03H)を読み込むとリセットされます。またこのフラグはリセット後の最初のブロックの間、ディセーブルされます。ERF出力は全ての要因（STCではSTCフラグが“1”になってから03Hが読み込まれるまで）が正常動作に復帰した後、1024/fs（ERFH0/1ビットで変更可）間は“H”の状態を保持します。またPAR, BIP, FRERR, VおよびUNLOCKビットは一度“1”になるとその値が保持され、Receiver Status 2(04H)レジスタを読み込むとリセットされます。アンロック時はチャンネルステータスビットに関するレジスタは更新されず、前の値を保持します。

Error & Status	Register					Pin			
	UNLOCK	PAR	BIP	FRERR	STC	AUTO	SDTO	V	TX
Unlock Error	1	0	0	0	0	“L”	“L”	“L”	Output
Parity Error	0	1	0	0	0	Output	Previous Data	Output	Output
Biphase Error	0	0	1	0	0	Output	Previous Data	Output	Output
Frame Length Error	0	0	0	1	0	Output	Previous Data	Output	Output
Status change	0	0	0	0	1	Output	Output	Output	Output

Table 12. Error Handling (Serial Mode; MPAR=1, MSTC=1)



ERF pin timing at Status Change



ERF pin timing at UNLOCK, PAR, BIP, FRERR error

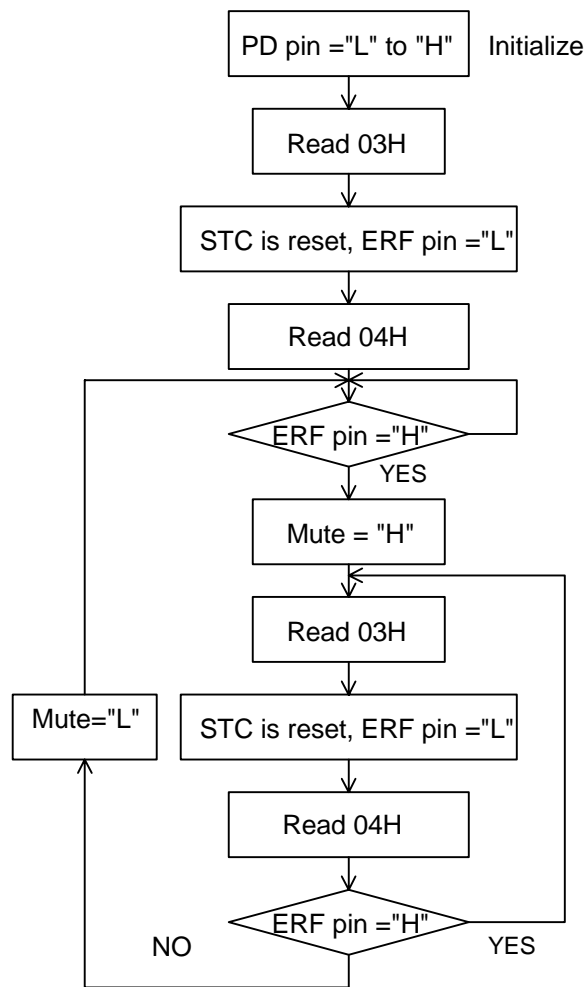


Figure 4. Error Handling Sequence Example

■ オーディオインタフェースフォーマット

8種類のデータフォーマット(Table 13)が DIF0, DIF1とDIF2ピンで選択できます。全モードともMSBファースト、2'sコンプリメントのデータフォーマットです。SDTOはBICKの立ち上がりで出力され、DAUXは立ち上がりでラッチされます。Mode0-5はマスタモードで、BICKは64fsです。Mode 6-7はMode 4-5のスレープモードでBICKはfs=48kHzのとき128fsまで対応します。20bit以下のフォーマット(Mode0-2)では、サブフレームのLSB側が切り捨てられます。Mode 3-7では下位4ビットはAuxデータで、Figure 5にビット構成を示します。

Parity Error, Biphase Error, Frame Length Errorの何れかがサブフレームで検出されると、SDTOからは、各エラーが"L"になるまでそのチャンネルの前の正常値が繰り返し出力されます。さらにPLLが同期外れを起こすと出力データは"0"になります。DAUX入力のデータを出力する場合は、入力と同じデータをフォーマット変換してSDTOから出力します。Clock Mode 1、PLL unlock時のClock Mode 2及びClock Mode 3では、出力データはDAUXピンを通して受信されます。

DAUXの入力フォーマットはMode 5, 7以外では24bit, Left justifiedで、SDTOへはその時点で設定されたフォーマットに変換されて出力されます。Mode 5, 7では入出力ともフォーマットはI²Sです。

Mode 6-7はスレープモードである点を除いてMode4-5と同じです。スレープモードの場合、LRCKとBICKへはMCKO1/2に同期した信号を供給して下さい。

電源ON時のオーディオインタフェースフォーマットはマスタモードになっているため、スレープモードで使う場合はコントロールレジスタを設定するまでの間は外部のクロック設定に注意して下さい。

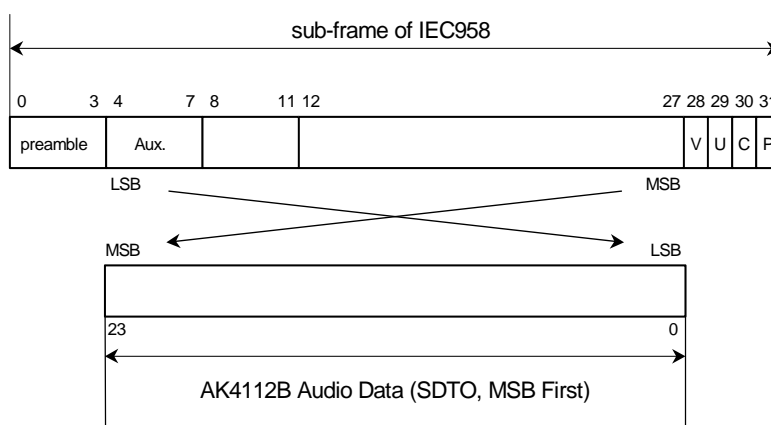


Figure 5. Bit configuration

Mode	DIF2	DIF1	DIF0	DAUX	SDTO	LRCK		BICK	
							I/O		I/O
0	0	0	0	24bit, Left justified	16bit, Right justified	H/L	O	64fs	O
1	0	0	1	24bit, Left justified	18bit, Right justified	H/L	O	64fs	O
2	0	1	0	24bit, Left justified	20bit, Right justified	H/L	O	64fs	O
3	0	1	1	24bit, Left justified	24bit, Right justified	H/L	O	64fs	O
4	1	0	0	24bit, Left justified	24bit, Left justified	H/L	O	64fs	O
5	1	0	1	24bit, I ² S	24bit, I ² S	L/H	O	64fs	O
6	1	1	0	24bit, Left justified	24bit, Left justified	H/L	I	64-128fs	I
7	1	1	1	24bit, I ² S	24bit, I ² S	L/H	I	64-128fs	I

Default

Table 13. Audio Data Format

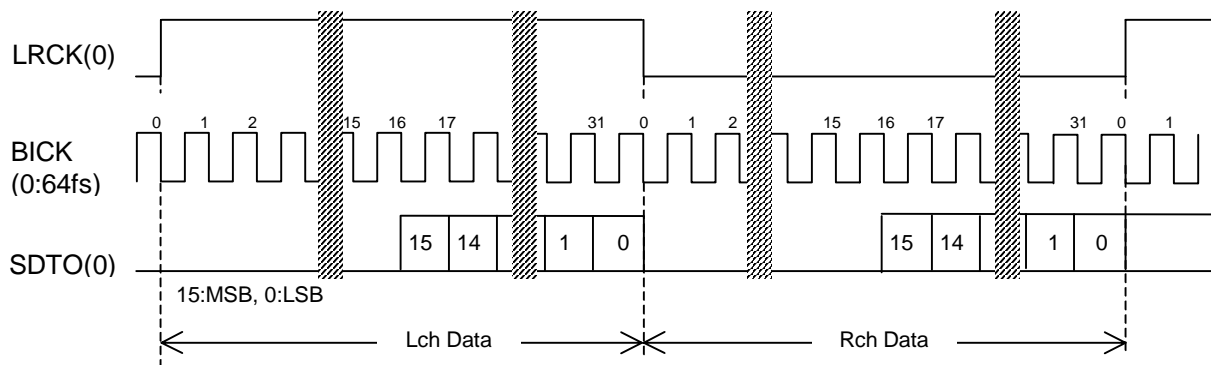


Figure 5. Mode 0 Timing

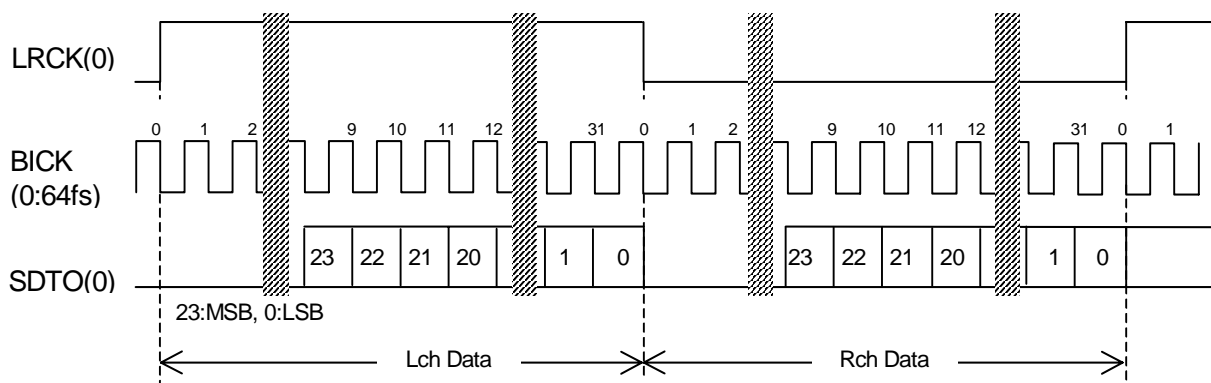


Figure 6. Mode 3 Timing

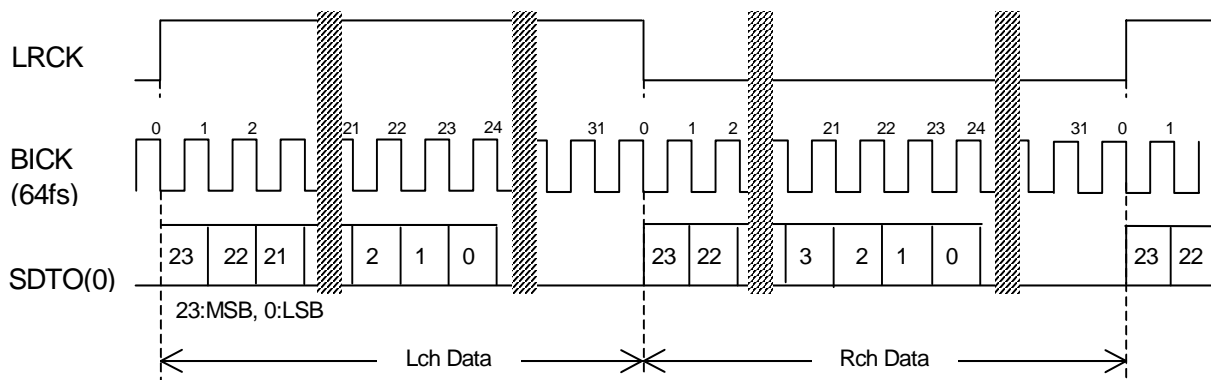


Figure 7. Mode 4, 6 Timing

Mode4 : LRCK, BICK : Output
 Mode6 : LRCK, BICK : Input

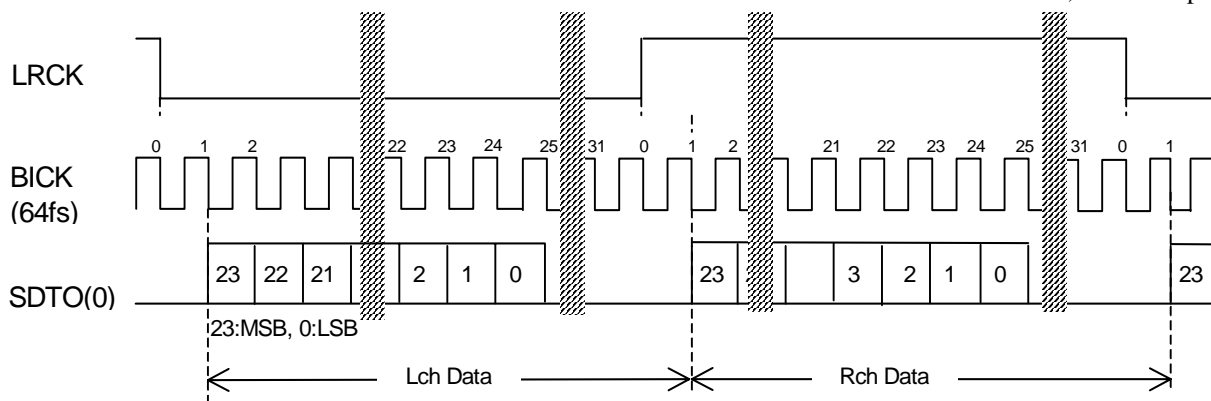
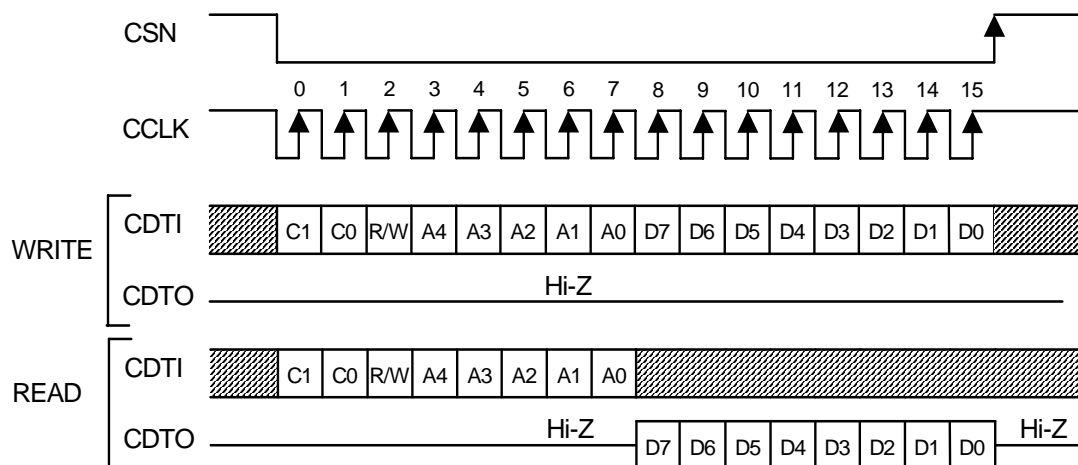


Figure 8. Mode 5, 7 Timing

Mode5 : LRCK, BICK : Output
 Mode7 : LRCK, BICK : Input

■ シリアルコントロールインタフェース

4線式シリアルI/F (CSN, CCLK, CDTI, CDTO) で、I/F上のデータはChip address (2bits, AK4112Bでは “00”に固定), Read/Write (1bit), Register address (MSB first, 5bits) と Control Data (MSB first, 8bits)で構成されます。データ送信側はCCLKの “↑”で各ビットを出力し、受信側は “↑”で取り込みます。データの書き込みはCSNの “↑”で有効になり、データの読み出しはCSNの “↑”で出力がHi-Zになります。CCLKのクロックスピードは5MHz (max)です。PDNピン=“L”でレジスタの値はリセットされます。



C1-C0: Chip Address (Fixed to “00”)
 R/W: READ/WRITE (0:READ, 1:WRITE)
 A4-A0: Register Address
 D7-D0: Control Data

Figure10. Control I/F Timing

■ レジスタマップ

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
00H	Clock & Power Down Control	0	BCU	CM1	CM0	OCKS1	OCKS0	PWN	RSTN
01H	Input/Output Control	MPAR	MSTC	CS12	TXE	IPS1	IPS0	OPS1	OPS0
02H	Format & De-emphasis Control	V/TX	DIF2	DIF1	DIF0	DEAU	DEM1	DEM0	DFS
03H	Receiver status 1	ERF	0	AUDION	AUTO	PEM	FS1	FS0	RFS96
04H	Receiver status 2	CV	STC	CRC	UNLOCK	V	FRERR	BIP	PAR
05H	Channel A Status Byte 0	CA7	CA6	CA5	CA4	CA3	CA2	CA1	CA0
06H	Channel A Status Byte 1	CA15	CA14	CA13	CA12	CA11	CA10	CA9	CA8
07H	Channel A Status Byte 2	CA23	CA22	CA21	CA20	CA19	CA18	CA17	CA16
08H	Channel A Status Byte 3	CA31	CA30	CA29	CA28	CA27	CA26	CA25	CA24
09H	Channel B Status Byte 0	CB7	CB6	CB5	CB4	CB3	CB2	CB1	CB0
0AH	Channel B Status Byte 1	CB15	CB14	CB13	CB12	CB11	CB10	CB9	CB8
0BH	Channel B Status Byte 2	CB23	CB22	CB21	CB20	CB19	CB18	CB17	CB16
0CH	Channel B Status Byte 3	CB31	CB30	CB29	CB28	CB27	CB26	CB25	CB24
0DH	Burst Preamble Pc Byte 0	PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0
0EH	Burst Preamble Pc Byte 1	PC15	PC14	PC13	PC12	PC11	PC10	PC9	PC8
0FH	Burst Preamble Pd Byte 0	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0
10H	Burst Preamble Pd Byte 1	PD15	PD14	PD13	PD12	PD11	PD10	PD9	PD8
11H	Count Control	0	0	0	0	0	EFH1	EFH0	XFS96

Notes: For addresses from 12H to 1FH, data must not be written.

When PDN pin goes “L”, the registers are initialized to their default values.

When RSTN bit goes “0”, the internal timing is reset and the registers are initialized to their default values.

All data can be written to the register even if PWN bit is “0”.

■ 詳細説明

Reset & Initialize

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
00H	Clock & Power Down Control	0	BCU	CM1	CM0	OCKS1	OCKS0	PWN	RSTN
	R/W	RD	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	default	0	0	0	0	0	0	1	1

RSTN: Timing Reset & Register Initialize

0: Reset & Initialize

1: Normal Operation

PWN: Power Down

0: Power Down

1: Normal Operation

OCKS1-0: Master Clock Frequency Select

CM1-0: Master Clock Operation Mode Select

BCU: Block start & C/U Output Mode

When BCU=1, the 3 Output Pins change another function.

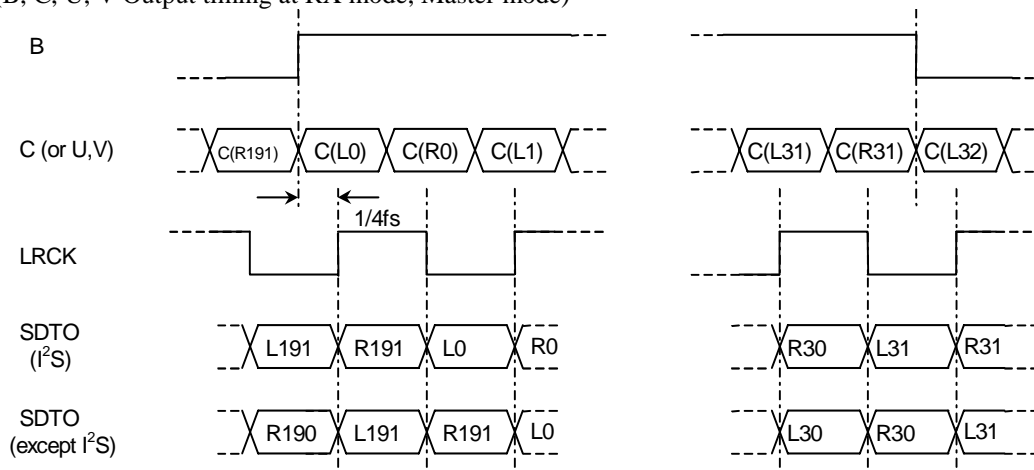
MCKO2 Pin→ block start signal

AUTO Pin→ C bit

FS96 Pin→ U bit

The block signal goes high at the start of frame 0 and remains high until the end of frame 31.

(B, C, U, V Output timing at RX mode, Master mode)



Input/Output Control

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
01H	Input/Output Control	MPAR	MSTC	CS12	TXE	IPS1	IPS0	OPS1	OPS0
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	default	1	0	0	1	0	0	0	0

OPS1-0: Output Through Data Select

IPS1-0: Input Recovery Data Select

TXE: TX Output Enable

0: Disable. TX Output Pin is placed in a high impedance state.

1: Enable

CS12: Channel Status Select

0: Channel 1

1: Channel 2

Selects which channel status is used to derive AUDION, PEM, FS1 and FS0.

The de-emphasis filter, however, is always controlled by channel 1 in the Parallel Mode.

MSTC: Status Change Flag Mask Bit

This bit is low to mask status change from being reported by ERF.

MPAR: Parity Mask Bit

This bit is low to mask Parity Error, Biphase Error and Frame Length Error from being reported by ERF.

Format & De-emphasis Control

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
02H	Format & De-emphasis Control	V/TX	DIF2	DIF1	DIF0	DEAU	DEM1	DEM0	DFS
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	default	0	1	0	0	1	0	1	0

V/TX: V/TX Output Select

0: Validity Flag Output. This output is updated every fs cycle.

1: TX

DFS: 96kHz De-emphasis Control

DEM1-0: 32, 44.1, 48kHz De-emphasis Control

DEAU: De-emphasis Auto Detect Enable

0: Disable

1: Enable

DIF2-0: Audio Data Format Control

Receiver Status 1

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
03H	Receiver status 1	ERF	0	AUDION	AUTO	PEM	FS1	FS0	RFS96
	R/W	RD	RD	RD	RD	RD	RD	RD	RD
	default	0	0	0	0	0	0	0	0

RFS96: 96kHz Sampling Detect at Recovery Mode.

0: fs=54kHz or less.

1: fs=88.2kHz or more

FS1-0: Sampling Frequency Output

PEM: Pre-emphasis Output

0: OFF

1: ON

This bit is made by encoding channel status bits.

AUTO: Non-PCM Auto Detect

0: No detect

1: Detect

This function is the same as AUTO pin.

AUDION: Audio Bit Output

0: Audio

1: Non Audio

ERF: PLL Error Status

0: No Error or No change

1: Error or Change

This function is the same as ERF pin. This bit goes "1" when Unlock Error, Parity Error, Biphas Error, Frame Length Error or Status Change occurs. If MPAR=0 & MSTC=0, only an unlock error is reported.

Receiver Status 2

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
04H	Receiver status 2	CV	STC	CRC	UNLOCK	V	FRERR	BIP	PAR
	R/W	RD	RD	RD	RD	RD	RD	RD	RD
	default	0	0	0	0	0	0	0	0

PAR: Parity Error Status (0:No Error, 1:Error)

It is "H" if Parity Error is detected in the sub-frame. PAR is unaffected by the state of MPAR.

BIP: Biphas Error Status (0:No Error, 1:Error)

FRERR: Frame Length Error Status (0:No Error, 1:Error)

V: Validity bit (0:No Error, 1:Error)

UNLOCK: PLL Lock Status (0:Lock, 1:Unlock)

CRC: Cyclic Redundancy Check (0:No Error, 1:Error on either channel)

STC: Status Change Flag of Receiver Status 1 (0:No change, 1:change)

This flag goes "H" when the latest value of D5-0 in Receiver Status 1(03H) is different from the previous value. This comparison is made at every fs cycle. This bit returns to "L" by reading Receiver Status 1(03H). The flag is disabled during the first block after Reset.

CV: Channel Status Validity (0:Valid, 1:Not Valid, Data is updating)

This signal goes "H" at the start of frame 0 and maintains "H" until the end of frame 31.

Channel Status

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
05H	Channel A Status Byte 0	CA7	CA6	CA5	CA4	CA3	CA2	CA1	CA0
06H	Channel A Status Byte 1	CA15	CA14	CA13	CA12	CA11	CA10	CA9	CA8
07H	Channel A Status Byte 2	CA23	CA22	CA21	CA20	CA19	CA18	CA17	CA16
08H	Channel A Status Byte 3	CA31	CA30	CA29	CA28	CA27	CA26	CA25	CA24
09H	Channel B Status Byte 0	CB7	CB6	CB5	CB4	CB3	CB2	CB1	CB0
0AH	Channel B Status Byte 1	CB15	CB14	CB13	CB12	CB11	CB10	CB9	CB8
0BH	Channel B Status Byte 2	CB23	CB22	CB21	CB20	CB19	CB18	CB17	CB16
0CH	Channel B Status Byte 3	CB31	CB30	CB29	CB28	CB27	CB26	CB25	CB24
R/W		RD							
default		Not initialized							

CA31-0: Channel A Status Byte 4-1

CB31-0: Channel B Status Byte 4-1

Bit definition changes depending upon PRO bit setting. When CV=1, these bits are updating and may be invalid.

Burst Preamble Pc/Pd in non-PCM encoded Audio bitstreams

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
0DH	Burst Preamble Pc Byte 0	PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0
0EH	Burst Preamble Pc Byte 1	PC15	PC14	PC13	PC12	PC11	PC10	PC9	PC8
0FH	Burst Preamble Pd Byte 0	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0
10H	Burst Preamble Pd Byte 1	PD15	PD14	PD13	PD12	PD11	PD10	PD9	PD8
R/W		RD							
default		Not initialized							

PC15-0: Burst Preamble Pc Byte 0 and 1

PD15-0: Burst Preamble Pd Byte 0 and 1

Count Control

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
11H	Count Control	0	0	0	0	0	EFH1	EFH0	XFS96
R/W		RD	RD	RD	RD	RD	R/W	R/W	R/W
default		0	0	0	0	0	0	1	0

XFS96: FS96 Output Select at X'tal Mode(Clock Operation Mode1, Mode3 and unlock state of Mode2)

1: FS96Pin="H"

0: FS96Pin="L"

EFH1-0: Error Flag Hold Count Select

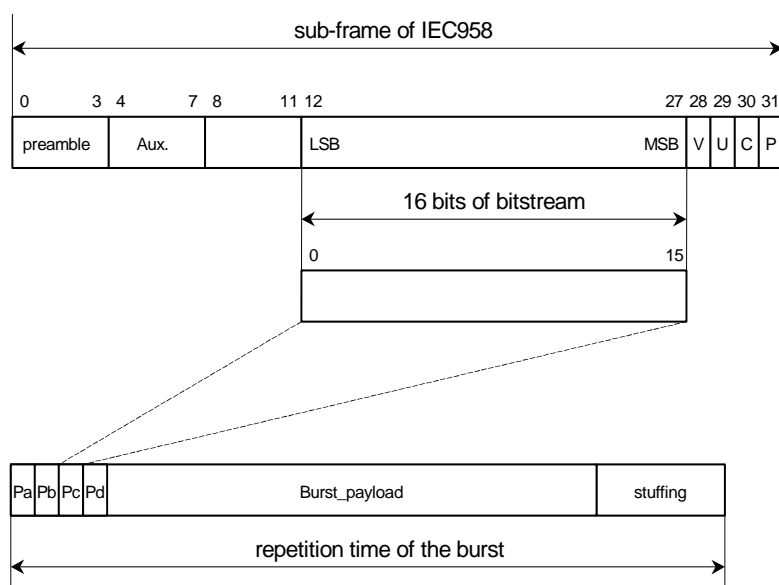
00: 512 LRCK

01: 1024 LRCK

10: 2048 LRCK

11: 4096 LRCK

■ Burst preambles in non-PCM bitstreams



Preamble word	Length of field	Contents	value
Pa	16 bits	sync word 1	0xF872
Pb	16 bits	sync word 2	0x4E1F
Pc	16 bits	Burst info	see Table 15.
Pd	16 bits	Length code	numbers of bits

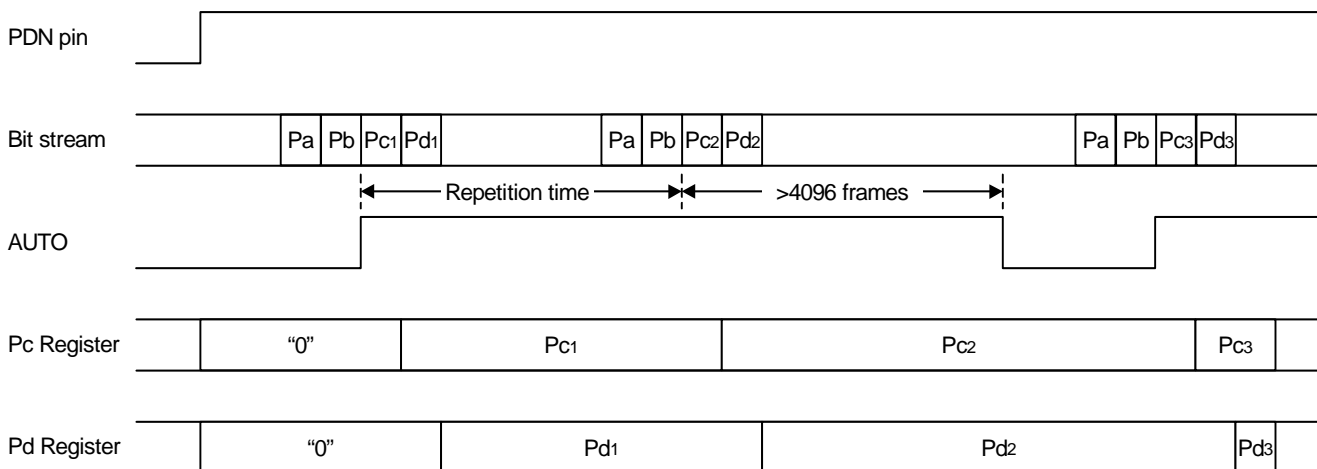
Table 14. Burst preamble words

Bits of Pc	value	contents	repetition time of burst in IEC958 frames
0-4	0	data type NULL data	≤4096
	1	Dolby AC-3 data	1536
	2	reserved	
	3	PAUSE	
	4	MPEG-1 Layer1 data	384
	5	MPEG-1 Layer2 or 3 data or MPEG-2 without extension	1152
	6	MPEG-2 data with extension	1152
	7	MPEG-2 AAC ADTS	1024
	8	MPEG-2, Layer1 Low sample rate	384
	9	MPEG-2, Layer2 or 3 Low sample rate	1152
	10	reserved	
	11	DTS type I	512
	12	DTS type II	1024
	13	DTS type III	2048
	14	ATRAC	512
	15	ATRAC2/3	1024
16-31		reserved	
5, 6	0	reserved, shall be set to "0"	
7	0	error-flag indicating a valid burst_payload	
	1	error-flag indicating that the burst_payload may contain errors	
8-12		data type dependent info	
13-15	0	bit stream number, shall be set to "0"	

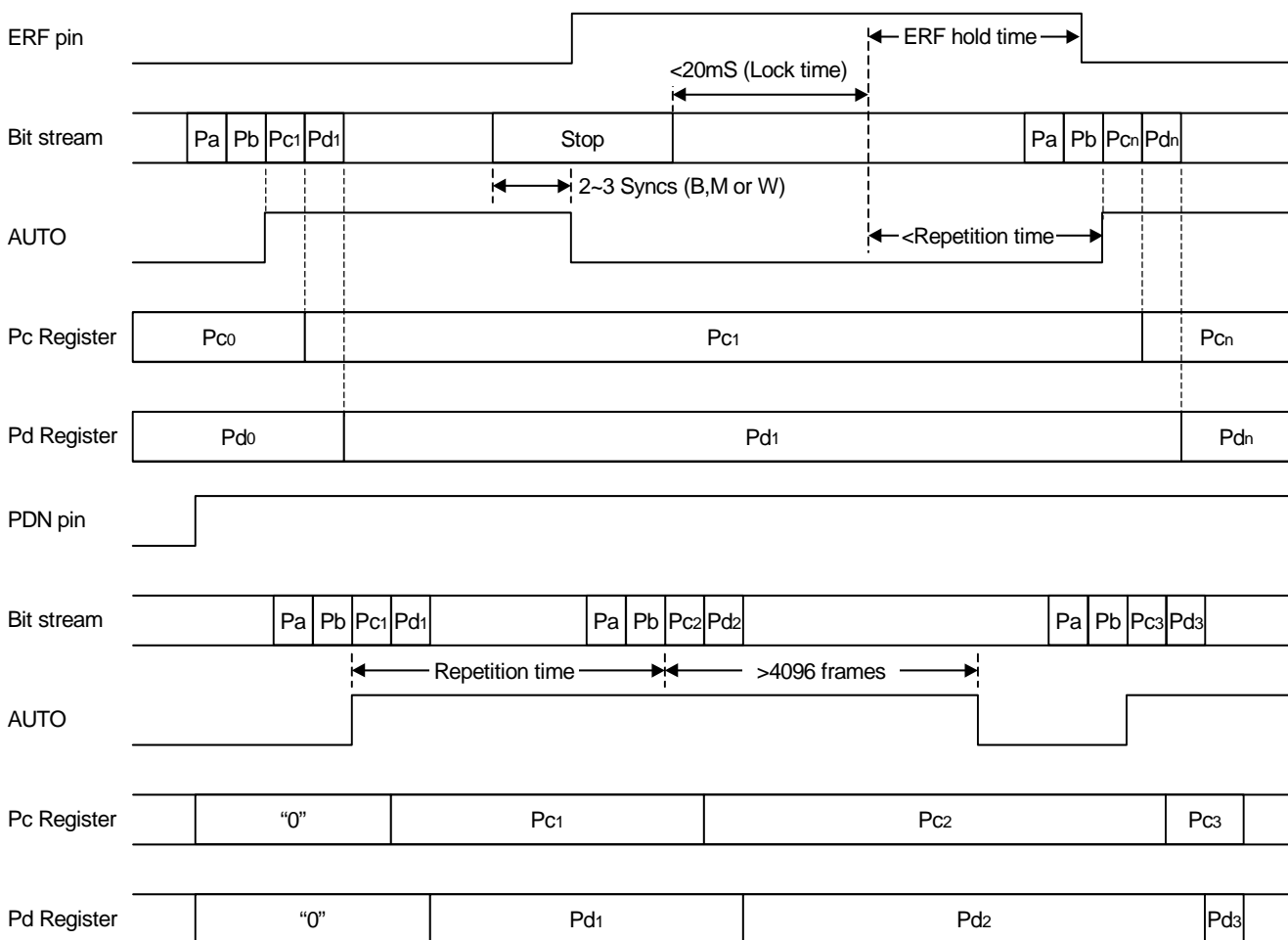
Table 15. Fields of burst info Pc

■ Non-PCM Bitstream timing

1) When Non-PCM preamble is not coming within 4096 frames,



2) When Non-PCM bitstream stops



SYSTEM DESIGN

Figure 11 shows the example of system connection diagram for Serial Mode.

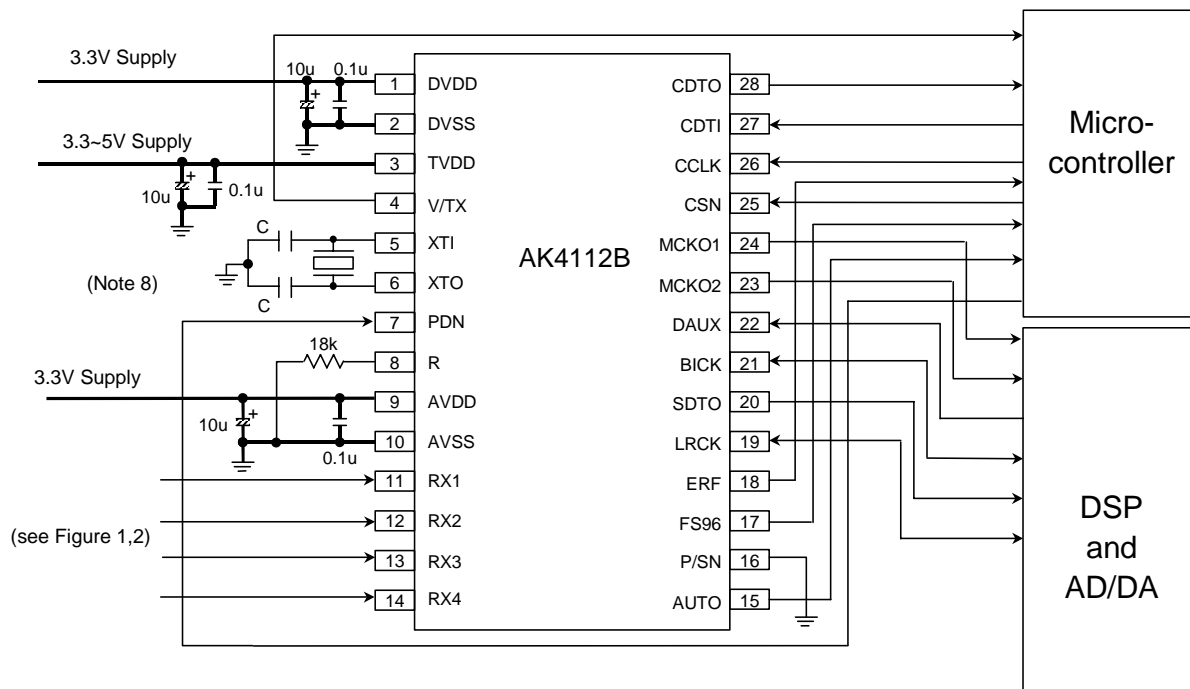


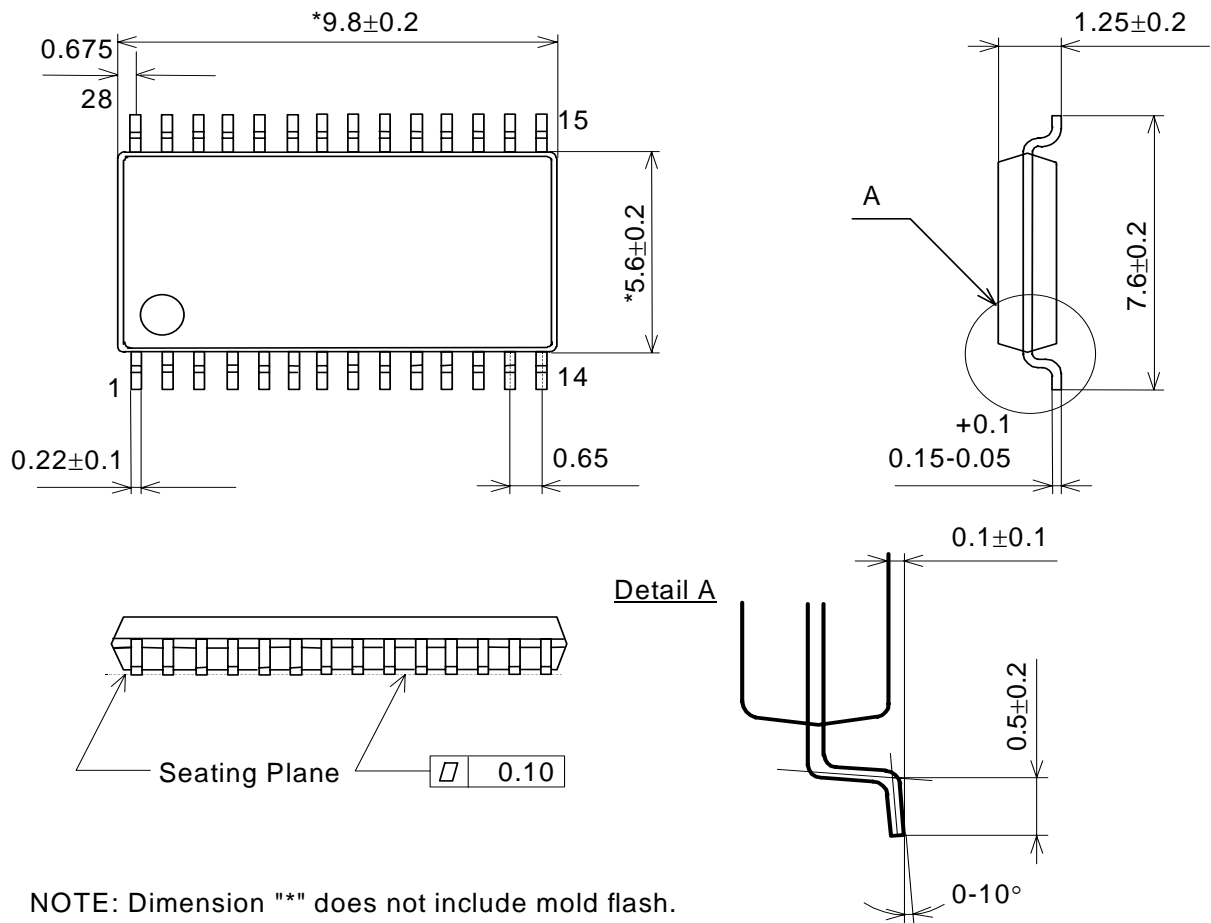
Figure 11. Typical Connection Diagram (Serial Mode)

Notes

- C の値は水晶振動子に依存します(Typ.10-40pF)。
- AVSS, DVSS は、同じアナロググランドに接続して下さい。
- デジタル信号、特にクロック信号はクロックジッタへの影響を避けるため R ピンからできるだけ離して下さい。

PACKAGE

28pin VSOP (Unit: mm)

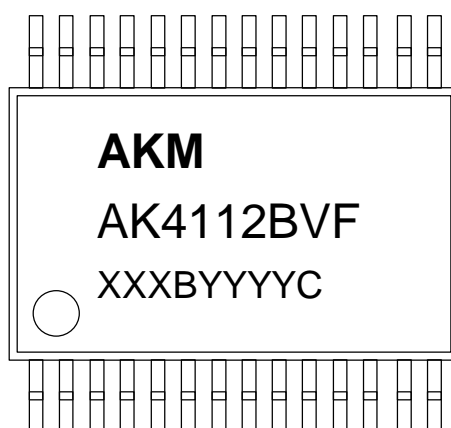


NOTE: Dimension "*" does not include mold flash.

Material & Lead finish

- Package molding compound: Epoxy
- Lead frame material: Cu
- Lead frame surface treatment: Solder plate

MARKING



XXXBYYYYC: Date code identifier

XXXB: Lot number (X : Digit number, B : Alpha character)

YYYYC: Assembly date (Y : Digit number C : Alpha character)

重要な注意事項

- 本書に記載された製品、及び、製品の仕様につきましては、製品改善のために予告なく変更することがあります。従いまして、ご使用を検討の際には、本書に掲載した情報が最新のものであることを弊社営業担当、あるいは弊社特約店営業担当にご確認下さい。
- 本書に掲載された情報・図面の使用に起因した第三者の所有する特許権、工業所有権、その他の権利に対する侵害につきましては、当社はその責任を負うものではありませんので、ご了承下さい。
- 本書記載製品が、外国為替及び、外国貿易管理法に定める戦略物資(役務を含む)に該当する場合、輸出する際に同法に基づく輸出許可が必要です。
- 医療機器、安全装置、航空宇宙用機器、原子力制御用機器など、その装置・機器の故障や動作不良が、直接または間接を問わず、生命、身体、財産等へ重大な損害を及ぼすことが通常予想されるような極めて高い信頼性を要求される用途に弊社製品を使用される場合は、必ず事前に弊社代表取締役の書面による同意をお取り下さい。
- この同意書を得ずにこうした用途に弊社製品を使用された場合、弊社は、その使用から生ずる損害等の責任を一切負うものではありませんのでご了承下さい。
- お客様の転売等によりこの注意事項の存在を知らずに上記用途に弊社製品が使用され、その使用から損害等が生じた場合は全てお客様にてご負担または補償して頂きますのでご了承下さい。