

AKM

AK4353

96kHz 24Bit $\Delta\Sigma$ DAC with DIT

概要

AK4353はデジタルオーディオトランスミッタを内蔵した96kHz,24bit対応のステレオCMOS D/Aコンバータです。DAC出力はシングルエンドになっており、帯域外ノイズを取り除くためにアナログフィルタを内蔵していますので、外部フィルタを必要としません。電源電圧は2.7Vから5.5Vまで動作し、またデジタル入力インタフェースはTTLレベル、CMOSレベルの両方に対応しています。

特長

- ステレオ DAC
- S/(N+D): 90dB@5V
- DR: 102dB@5V
- S/N: 102dB@5V
- サンプリング周波数 16kHz ~ 96kHz
- 多様なマスタクロック:

256fs/384fs/512fs/768fs/1024fs/1536fs	(低速: 16kHz ~ 24kHz)
256fs/384fs/512fs/768fs	(標準速 32kHz ~ 48kHz)
128fs/192fs/256fs/384fs	(2倍速 64kHz ~ 96kHz)
- データフォーマット: 後詰め/前詰め/I²S
- 各種機能
 - ソフトミュート
 - デジタルボリューム(256ステップ)
 - デジタルディエンファシス(44.1kHz/48kHz/32kHz対応)
- 出力モード: ステレオ,モノラル,反転,ミュート
- デジタルオーディオトランスミッタ内蔵
 - S/PDIF, IEC958, AES/EBU, EIAJ CP1201民生モード対応
- 入力レベル: TTL/CMOS
- 出力レベル: 3.0Vpp@5V
- コントロールモード: 3線シリアルI²Cバス
- 低消費電力: 80mW@5V
- 小型パッケージ: 24ピンVSOP
- 電源電圧: 2.7 ~ 5.5V
- Ta: -40 ~ 85

■ ブロック図

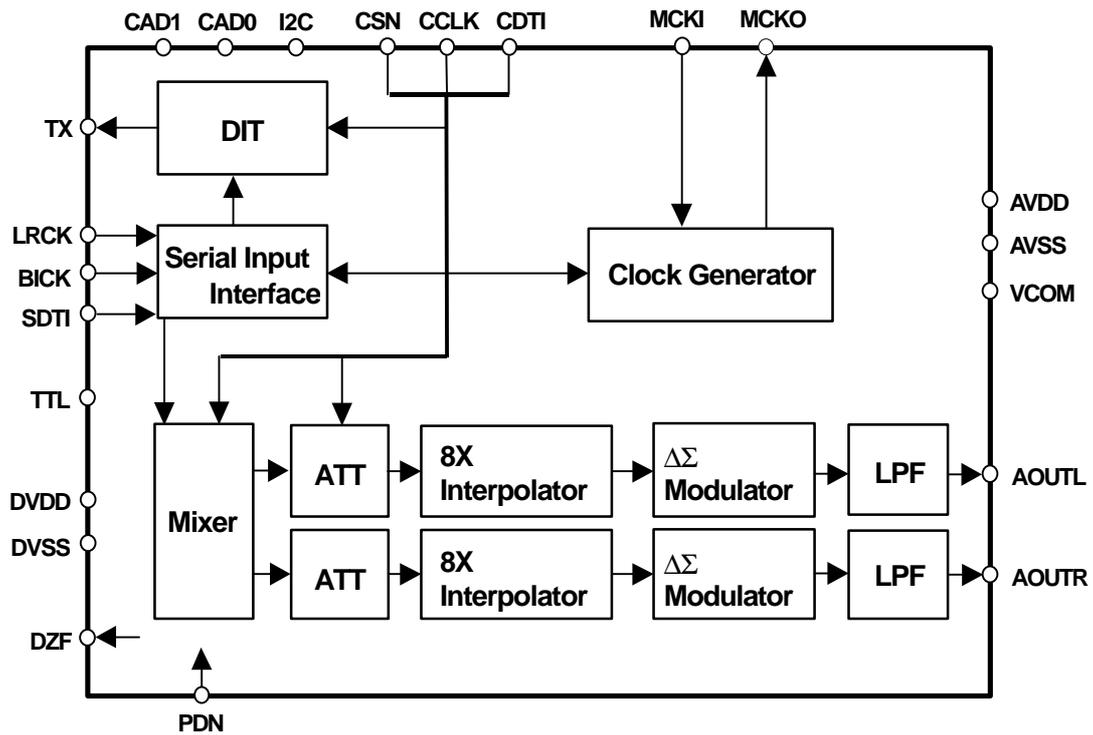


図1. 3線シリアルコントロールモード(I2C = "L")

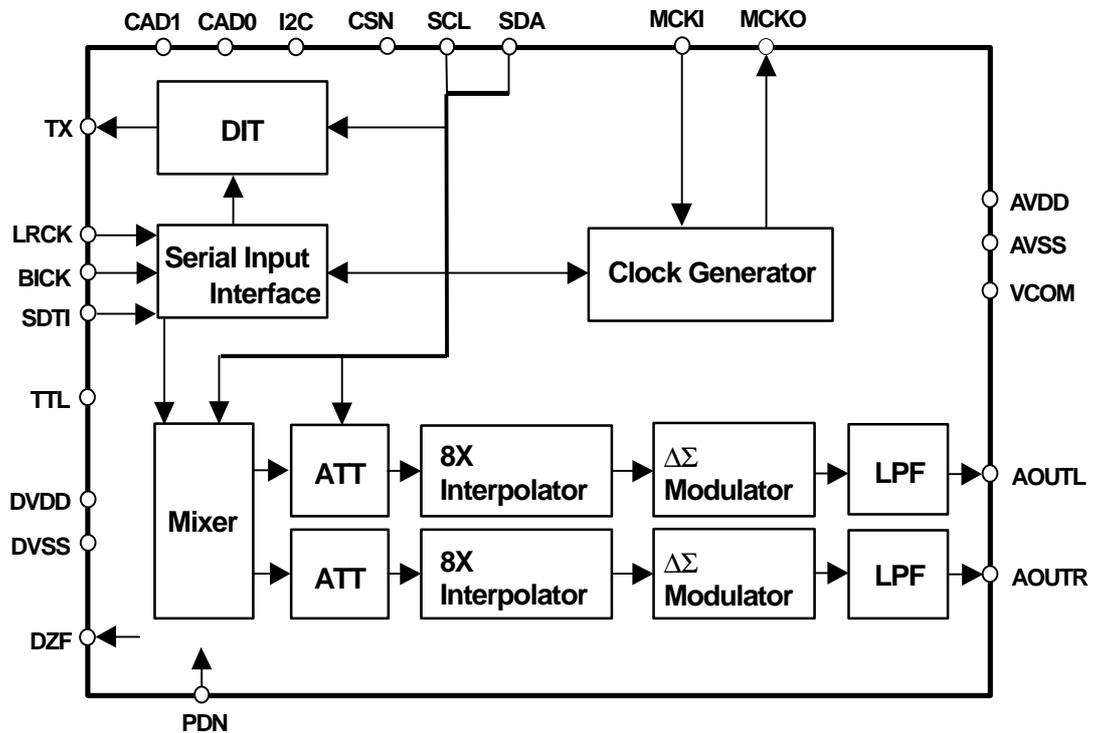


図2. I²Cバスコントロールモード(I2C = "H")

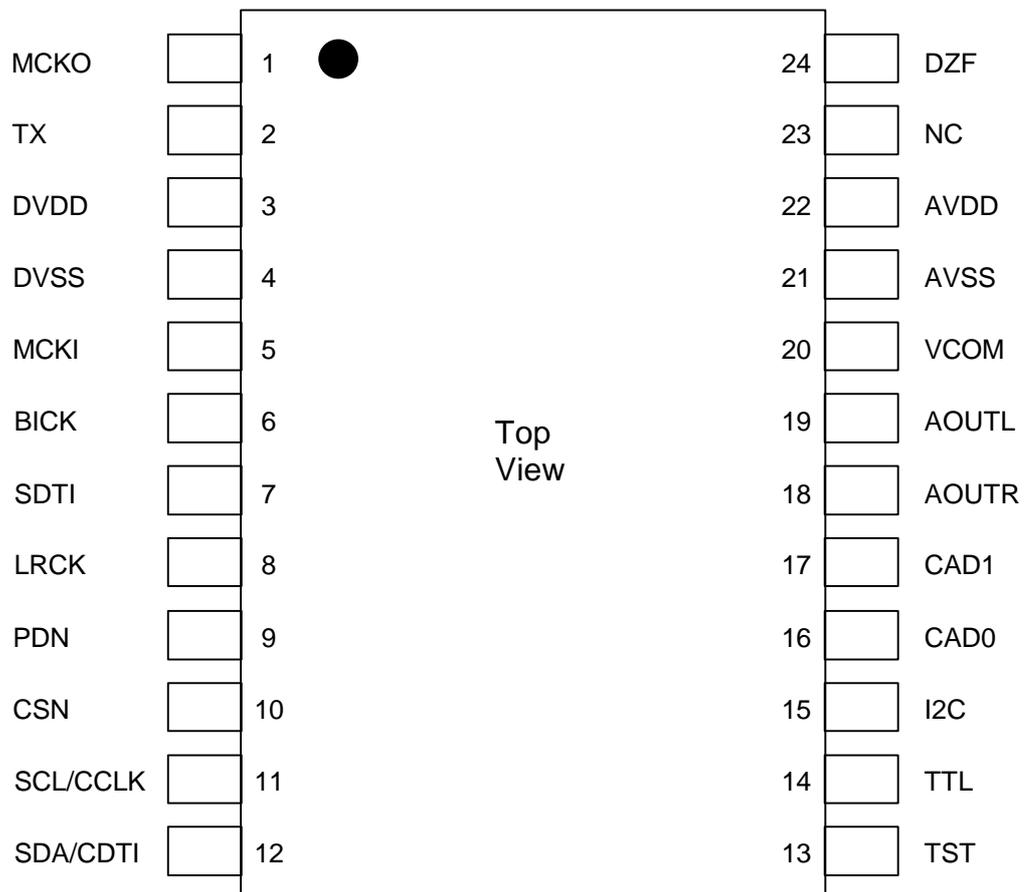
■ オーダリングガイド

AK4353VF
AKD4353

-40~+85°C
評価ボード

24pin VSOP

■ ピン配置



ピン/機能

No.	ピン名称	I/O	機 能
1	MCKO	O	マスタクロック出力ピン MCKIと同じ周波数のクロックが出力されます。
2	TX	O	トランスミットチャネル出力ピン
3	DVDD	-	デジタル電源ピン, +2.7~+5.5V
4	DVSS	-	デジタルグランドピン, 0V
5	MCKI	I	マスタクロック入力ピン
6	BICK	I	シリアルデータクロック入力ピン
7	SDTI	I	シリアルデータ入力ピン
8	LRCK	I	シリアル入力チャネルクロックピン
9	PDN	I	パワーダウンピン このピンを“L”にするとパワーダウン状態になります。 電源投入時は必ず一度リセットを行って下さい。
10	CSN	I	チップセレクトピン (3線シリアルコントロールモード時) I ² Cバスコントロールモード時はDVDDにつないで下さい。
11	SCL	I	コントロールクロックピン (I ² Cバスモード時)
	CCLK	I	コントロールクロックピン (3線シリアルコントロールモード時)
12	SDA	I/O	コントロールデータ入出力ピン (I ² Cバスモード時)
	CDTI	I	コントロールデータ入力ピン (3線シリアルコントロールモード時)
13	TST	I	テストピン DVDDに接続して下さい。
14	TTL	I	デジタル入力レベル選択ピン “L”: CMOS, “H”: TTL
15	I2C	I	コントロールモード選択ピン “L”: 3線シリアル, “H”: I ² Cバス
16	CAD0	I	チップアドレス選択 0ピン
17	CAD1	I	チップアドレス選択 1ピン
18	AOUTR	O	Rチャネルアナログ出力ピン
19	AOUTL	O	Lチャネルアナログ出力ピン
20	VCOM	O	コモン電圧出力ピン, AVDD/2 アナログ信号のコモン電圧です。 電源ノイズを除去するために容量の大きいコンデンサを付けて下さい。
21	AVSS	-	アナロググランドピン
22	AVDD	-	アナログ電源ピン
23	NC	-	NCピン このピンには何も接続しないで下さい。
24	DZF	O	ゼロ入力検出ピン SDTIに入力されるデータが両チャネル共に8192回連続してゼロの時、またはRSTN = “0”のとき、“H”になります。

注: 全ての入力ピンはフローティングにしないで下さい。

絶対最大定格

(AVSS, DVSS=0V; Note 1)

Parameter		Symbol	min	max	Units
Power Supplies	Analog	AVDD	-0.3	6.0	V
	Digital	DVDD	-0.3	6.0	V
	AVSS-DVSS (Note 2)	ΔGND	-	0.3	V
Input Current (any pins except for supplies)		IIN	-	±10	mA
Analog Input Voltage		VINA	-0.3	AVDD+0.3	V
Digital Input Voltage		VIND	-0.3	DVDD+0.3	V
Ambient Temperature		Ta	-40	85	°C
Storage Temperature		Tstg	-65	150	°C

Note: 1. 電圧はすべてグランドピンに対する値です。

2. AVSSとDVSSはアナロググランドに接続して下さい。

注意： この値を超えた条件で使用した場合、デバイスを破壊することがあります。
また通常の動作は保証されません。

推奨動作条件

(AVSS, DVSS=0V; Note 1)

Parameter		Symbol	min	typ	max	Units
Power Supplies (Note 3)	3V operation (TTL = "L")					
	Analog	AVDD	2.7	3.0	5.5	V
	Digital	DVDD	2.7	3.0	3.6 or AVDD	V
	5V operation (TTL = "H")					
	Analog	AVDD	4.5	5.0	5.5	V
	Digital	DVDD	4.5	5.0	AVDD	V

Note: 1. 電圧はすべてグランドピンに対する値です。

3. AVDDとDVDDの立ち上げシーケンスを考える必要はありません。

注意： 本データシートに記載されている条件以外のご使用に関しては、当社では責任負いかねますので十分ご注意ください。

アナログ特性 (fs=44.1kHz)

(Ta=25°C; AVDD,DVDD=5V; fs=44.1kHz; DFS1-0 = "00"; CKS2-0 = "000"; DIF2-0 = "101";
Signal Frequency =1kHz; Measurement frequency=20Hz~20kHz; unless otherwise specified)

Parameter	min	typ	max	Units
Dynamic Characteristics				
Resolution			24	Bits
S/(N+D)	AVDD=5V	84	90	dB
	AVDD=3V	80	86	dB
DR (-60dB input, A-weighted)	AVDD=5V	94	102	dB
	AVDD=3V	90	97	dB
S/N (A-weighted)	AVDD=5V	94	102	dB
	AVDD=3V	90	97	dB
Interchannel Isolation	90	110		dB
DC Accuracy				
Interchannel Gain Mismatch		0.2	0.5	dB
Gain Drift		20	-	ppm/°C
Output Voltage AOUT=0.6x(AVDD-AVSS)	AVDD=5V	2.8	3.0	Vpp
	AVDD=3V	1.66	1.8	Vpp
Load Resistance (Note 4)	10			kΩ
Load Capacitance			25	pF
Power Supplies				
Power Supply Current				
Normal Operation (PDN = "H")				
AVDD		8	12	mA
DVDD (Note 5)		8	16	mA
Power-Down-Mode (PDN = "L")				
AVDD+DVDD		10	100	μA

Note:4. AC負荷。

5. DVDD=3Vのとき、DVDDは4mAまで下がります。

アナログ特性 (fs=96kHz)

(Ta=25°C; AVDD,DVDD=5V; fs=96kHz; DFS1-0 = "01"; CKS2-0 = "001"; DIF2-0 = "101";
Signal Frequency =1kHz; Measurement frequency=20Hz~40kHz; unless otherwise specified)

Parameter	min	typ	max	Units
Dynamic Characteristics				
Resolution			24	Bits
S/(N+D)	AVDD=5V	80	86	dB
	AVDD=3V	78	84	dB
DR (-60dB input)	AVDD=5V	88	96	dB
	AVDD=3V	84	92	dB
S/N	AVDD=5V	88	96	dB
	AVDD=3V	84	92	dB
Interchannel Isolation	90	110		dB
DC Accuracy				
Interchannel Gain Mismatch		0.2	0.5	dB
Gain Drift		20	-	ppm/°C
Output Voltage AOUT=0.6x(AVDD-AVSS)	AVDD=5V	2.8	3.0	Vpp
	AVDD=3V	1.66	1.8	Vpp
Load Resistance (Note 4)	10			kΩ
Load Capacitance			25	pF
Power Supplies				
Power Supply Current				
Normal Operation (PDN = "H")				
AVDD		8	12	mA
DVDD (Note 6)		13	26	mA
Power-Down-Mode (PDN = "L")				
AVDD+DVDD		10	100	μA

Note:4. AC負荷。

6. DVDD=3Vのとき、DVDDは7mAまで下がります。

フィルタ特性 (fs=44.1kHz)

(Ta=25°C; AVDD,DVDD=2.7~5.5V; fs=44.1kHz; DEM=OFF)

Parameter	Symbol	min	typ	max	Units	
Digital Filter (Decimation LPF)						
Passband (Note 7)		-0.02dB	PB	0	20.0	kHz
		-6.0dB		-	22.05	kHz
Stopband (Note 7)		SB	24.1		kHz	
Passband Ripple		PR		±0.02	dB	
Stopband Attenuation		SA	54		dB	
Group Delay (Note 8)		GD	-	20.1	1/fs	
Digital Filter + Analog Filter						
Frequency Response: 0~20.0kHz		FR	-	±0.2	dB	

Note:7. 通過域と阻止域はfsに比例します。

例えば、PB=0.4535*fs(@±0.01dB), SB=0.546*fs.

8. デジタルフィルタによる演算遅延で、両チャンネルの24ビットデータがDACの入力レジスタにセットされてからアナログ信号が出力されるまでの時間です。

フィルタ特性 (fs=96kHz)

(Ta=25°C; AVDD,DVDD=2.7~5.5V; fs=96kHz; DEM=OFF)

Parameter	Symbol	min	typ	max	Units	
Digital Filter (Decimation LPF)						
Passband (Note 7)		-0.02dB	PB	0	43.5	kHz
		-6.0dB		-	48.0	kHz
Stopband (Note 7)		SB	52.5		kHz	
Passband Ripple		PR		±0.02	dB	
Stopband Attenuation		SA	54		dB	
Group Delay (Note 8)		GD	-	20.1	1/fs	
Digital Filter + Analog Filter						
Frequency Response: 0~20.0kHz		FR	-	±0.2	dB	
40.0kHz			-	±0.2	dB	

Note:7. 通過域と阻止域はfsに比例します。

例えば、PB=0.4535*fs(@±0.01dB), SB=0.546*fs.

8. デジタルフィルタによる演算遅延で、両チャンネルの24ビットデータがDACの入力レジスタにセットされてからアナログ信号が出力されるまでの時間です。

DC特性 (CMOSレベル入力)

(Ta=25°C; AVDD=2.7~5.5V; DVDD=2.7~3.6V; TTL = "L")

Parameter	Symbol	min	typ	max	Units
High-Level input voltage	VIH	0.7xDVDD	-	-	V
Low-Level input voltage	VIL	-	-	0.3xDVDD	V
High-Level Output Voltage					
(TX, MCKO pins: Iout=-100μA)	VOH	DVDD-0.5	-	-	V
(DZF pin: Iout=-100μA)	VOH	AVDD-0.5	-	-	V
Low-Level Output Voltage					
(TX, MCKO, DZF pins: Iout= 100μA)	VOL	-	-	0.5	V
(SDA pin: Iout= 3mA)	VOL	-	-	0.4	V
Input leakage current	Iin	-	-	±10	μA

DC特性 (TTLレベル入力; TTLピンを除く)

(Ta=25°C; AVDD,DVDD=4.5~5.5V; TTL = "H")

Parameter	Symbol	min	typ	max	Units
High-Level input voltage (TTL pin)	VIH	0.7xDVDD	-	-	V
(All pins except for TTL pin)	VIH	2.2	-	-	V
Low-Level input voltage (TTL pin)	VIL	-	-	0.3xDVDD	V
(All pins except for TTL pin)	VIL	-	-	0.8	V
High-Level Output Voltage					
(TX, MCKO pins: Iout=-100μA)	VOH	DVDD-0.5	-	-	V
(DZF pin: Iout=-100μA)	VOH	AVDD-0.5	-	-	V
Low-Level Output Voltage					
(TX, MCKO, DZF pins: Iout= 100μA)	VOL	-	-	0.5	V
(SDA pin: Iout= 3mA)	VOL	-	-	0.4	V
Input leakage current	Iin	-	-	±10	μA

スイッチング特性

(Ta=25°C; AVDD, DVDD=2.7~5.5V; CL=20pF)

Parameter	Symbol	min	typ	max	Units
Master Clock Input:					
Frequency					
128fs/256fs/512fs/1024fs	fCLK	4.096		24.576	MHz
192fs/384fs/768fs/1536fs	fCLK	6.144		36.864	MHz
Duty Cycle	dCLK	40		60	%
LRCK: (Note 9)					
Frequency					
Half Speed Mode (DFS1-0 = "11")	fsh	16		24	kHz
Normal Speed Mode (DFS1-0 = "00")	fsn	32		48	kHz
Double Speed Mode (DFS1-0 = "01")	fsd	64		96	kHz
Duty Cycle	Duty	45		55	%
Serial Interface Timing:					
BICK Period					
Half Speed Mode	tBCK	1/128fs			ns
Normal Speed Mode	tBCK	1/128fs			ns
Double Speed Mode	tBCK	1/64fs			ns
BICK Pulse Width Low	tBCKL	70			ns
BICK Pulse Width High	tBCKH	70			ns
BICK "↑" to LRCK Edge (Note 10)	tBLR	40			ns
LRCK Edge to BICK "↑" (Note 10)	tLRB	40			ns
SDTI Hold Time	tSDH	40			ns
SDTI Setup Time	tSDS	40			ns
Power-down & Reset Timing					
PDN Pulse Width (Note 11)	tPDW	150			ns

Note: 9. サンプリングスピード (DFS0-1)を切り替えた場合はPDNピンまたはRSTNビットでリセットして下さい。

10. この規格値はLRCKのエッジとBICKの立ち上がりエッジが重ならないように規定しています。

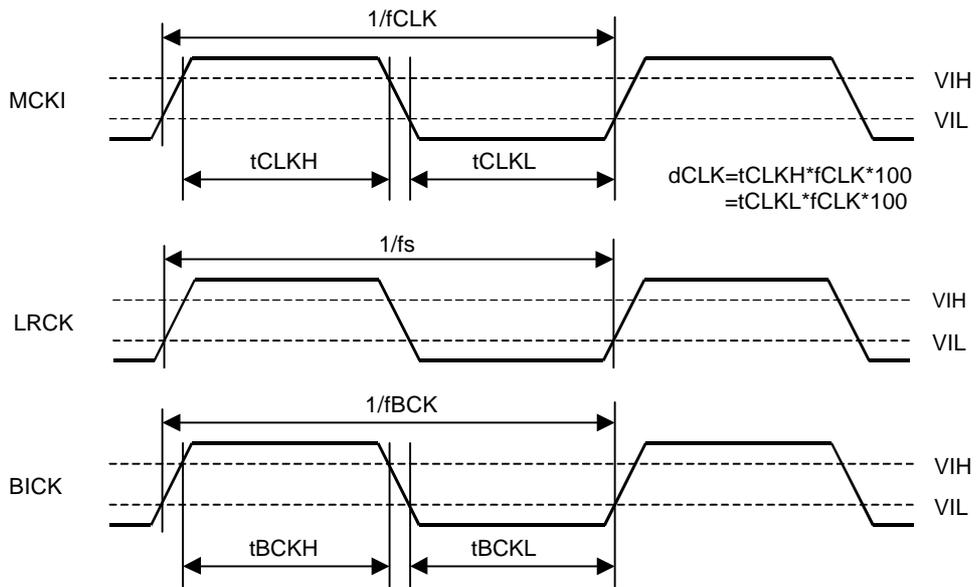
11. 電源投入時はPDNピンを“L”から“H”にすることでリセットがかかります。

CKS0-2またはDFS0-1を切り替えた場合はPDNピンまたはRSTNビットでリセットして下さい。

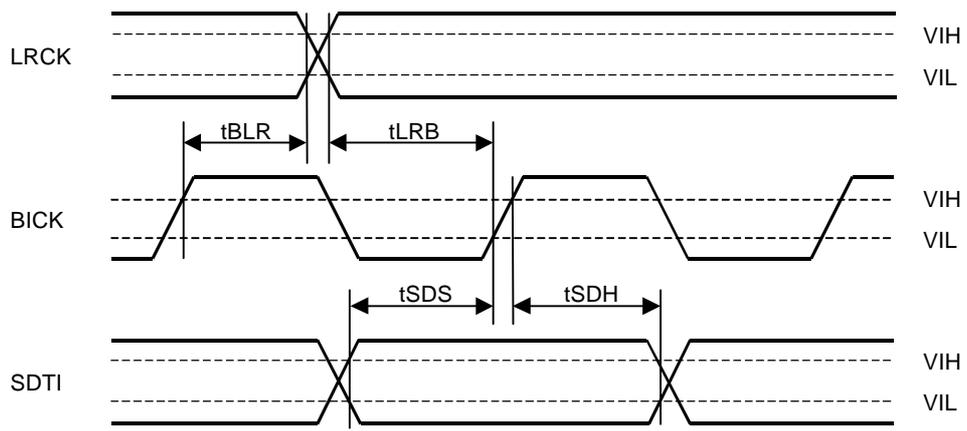
Parameter	Symbol	min	typ	max	Units
Control Interface Timing (3-wire Serial mode):					
CCLK Period	tCCK	200			ns
CCLK Pulse Width Low	tCCKL	80			ns
Pulse Width High	tCCKH	80			ns
CDTI Setup Time	tCDS	40			ns
CDTI Hold Time	tCDH	40			ns
CSN “H” Time	tCSW	150			ns
CSN “↓” to CCLK “↑”	tCSS	50			ns
CCLK “↑” to CSN “↑”	tCSH	50			ns
Control Interface Timing (I²C Bus mode):					
SCL Clock Frequency	fSCL	-		100	kHz
Bus Free Time Between Transmissions	tBUF	4.7		-	μs
Start Condition Hold Time (prior to first clock pulse)	tHD:STA	4.0		-	μs
Clock Low Time	tLOW	4.7		-	μs
Clock High Time	tHIGH	4.0		-	μs
Setup Time for Repeated Start Condition	tSU:STA	4.7		-	μs
SDA Hold Time from SCL Falling (Note 12)	tHD:DAT	0		-	μs
SDA Setup Time from SCL Rising	tSU:DAT	0.25		-	μs
Rise Time of Both SDA and SCL Lines	tR	-		1.0	μs
Fall Time of Both SDA and SCL Lines	tF	-		0.3	μs
Setup Time for Stop Condition	tSU:STO	4.0		-	μs
Pulse Width of Spike Noise suppressed by Input Filter	tSP	0		50	ns

Note: 12. 装置は、SCLの立ち下がりエッジの未定義領域を埋めるために、SCL信号のVIHmin.で SDA信号用に最低300nsのホールド時間を内部的に提供する必要があります。

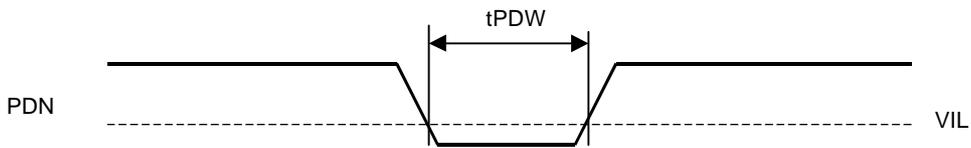
■ タイミング波形



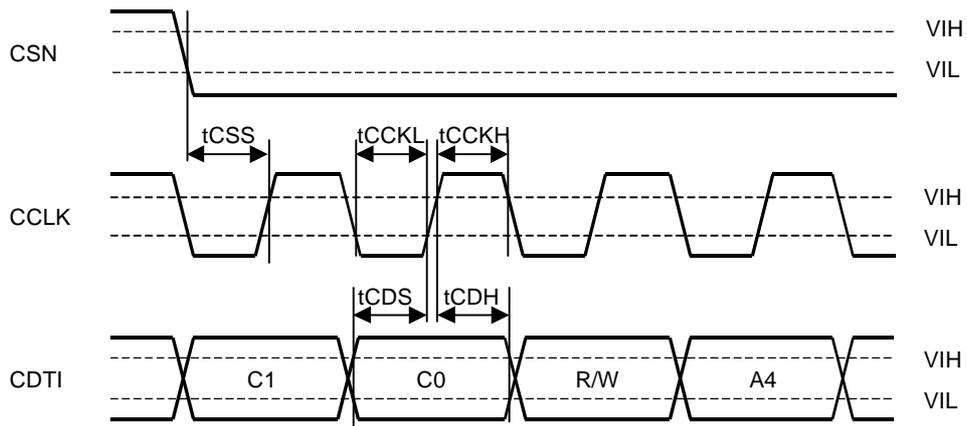
クロックタイミング



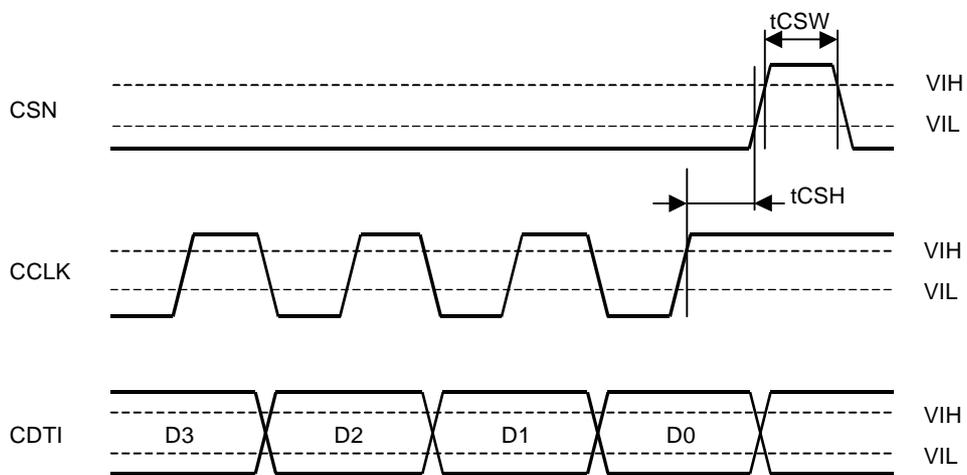
シリアルインタフェースタイミング



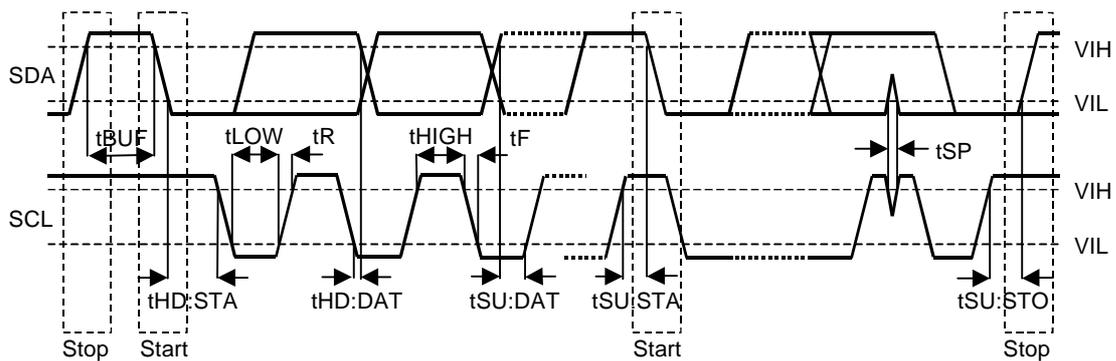
パワーダウン&リセットタイミング



WRITEコマンド入力タイミング (3線シリアルモード)



WRITEデータ入力タイミング (3線シリアルモード)



I²Cバスモードタイミング

動作説明

■ システムクロック

必要なクロックは、MCKI, LRCK, BICKです。MCKIとLRCKは同期する必要はありますが位相を合わせる必要はありません。MCKIはインターポレーションフィルタと変調器に使用されます。MCKIの周波数はCKS0-2で設定され、DFS0-1で低速モード、通常速モード及び2倍速モードを選択します(表1)。

動作時(PDN="H")は、各外部クロック(MCKI, BICK, LRCK)を止めてはいけません。これらのクロックが供給されない場合、内部にダイナミックなロジックを使用しているため、過電流が流れ、動作が異常になる可能性があります。クロックを止める場合はパワーダウン状態(PDN="L")またはリセット状態(RSTN="0")にして下さい。電源ON等のリセット解除時(PDN=" ")は、MCKI, LRCKが入力されるまでパワーダウン状態です。

動作中にCKS2-0, DFS1-0の各ビットでMCKO周波数を変更した場合はPDNピンを"L"にするかRSTNビットを"0"にしてリセットをかけてください。

CKS2	CKS1	CKS0	DFS1-0		
			"11" (Half speed)	"00" (Normal speed)	"01" (Double speed)
0	0	0	512fs	256fs	128fs
0	0	1	256fs	256fs	256fs
0	1	0	768fs	384fs	192fs
0	1	1	384fs	384fs	384fs
1	0	0	1024fs	512fs	256fs
1	0	1	512fs	512fs	N/A
1	1	0	1536fs	768fs	384fs
1	1	1	768fs	768fs	N/A

default (DFS1-0 = "00")

表1. システムクロック (DFS1-0 = "10": 未規定)

fs [kHz]	Mode	128fs	192fs	256fs	384fs	512fs	768fs	1024fs	1536fs
16	Half	-	-	4.0960	6.1440	8.1920	12.2880	16.3840	24.5760
32	Normal	-	-	8.1920	12.2880	16.3840	24.5760	-	-
64	Double	8.1920	12.2880	16.3840	24.5760	-	-	-	-
22.05	Half	-	-	5.6448	8.4672	11.2896	16.9344	22.5792	33.8688
44.1	Normal	-	-	11.2896	16.9344	22.5792	33.8688	-	-
88.2	Double	11.2896	16.9344	22.5792	33.8688	-	-	-	-
24	Half	-	-	6.1440	9.2160	12.2880	18.4320	24.5760	36.8640
48	Normal	-	-	12.2880	18.4320	24.5760	36.8640	-	-
96	Double	12.2880	18.4320	24.5760	36.8640	-	-	-	-

表2. システムクロック例 [MHz]

■ オーディオインタフェースフォーマット

オーディオデータはBICKとLRCKを使ってSDTIピンから入力されます。6種類のデータフォーマット（表3）がDIF2-0ビットで選択できます。全モードともMSBファースト、2'sコンプリメントのデータフォーマットでBICKの立ち上がりでラッチされます。Mode4を20bit, 18bit, 16bitで使った場合はデータのないLSBには“0”を入力して下さい。

Mode	DIF2	DIF1	DIF0	SDTI	L/R	BICK
0	0	0	0	16bit, LSB justified	H/L	≥32fs
1	0	0	1	18bit, LSB justified	H/L	≥36fs
2	0	1	0	20bit, LSB justified	H/L	≥40fs
3	0	1	1	24bit, LSB justified	H/L	≥48fs
4	1	0	0	24bit, MSB justified	H/L	≥48fs
5	1	0	1	I ² S	L/H	≥48fs
6	1	1	0	Reserved		
7	1	1	1	Reserved		

default

表3. オーディオデータフォーマット

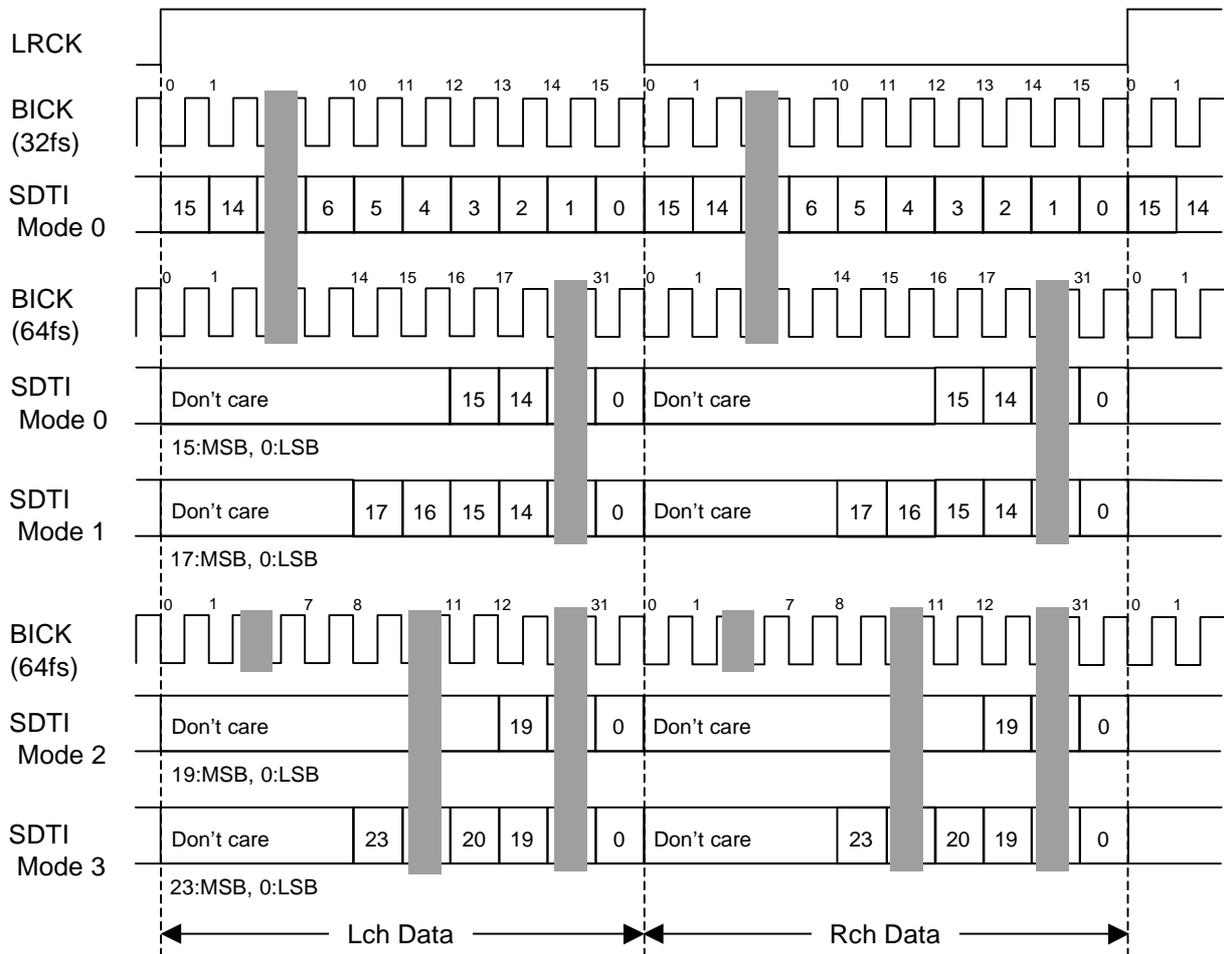


図3. Mode 0-3 タイミング

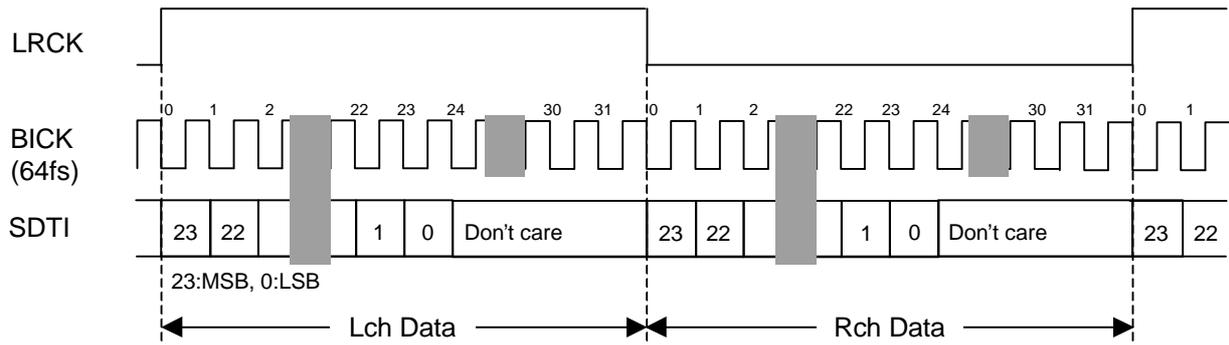


図4. Mode 4 タイミング

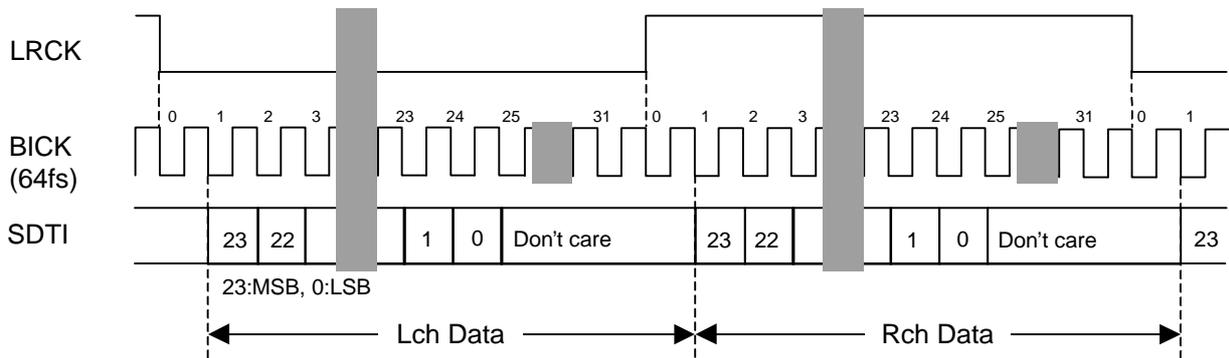


図5. Mode 5 タイミング

■ TX出力フォーマット

SDTIピンから入力されたデータはデジタルインタフェースフォーマットに変換してTXピンから出力できます。TX出力から伝送されるデータは図6のようなブロックにフォーマットされます。各ブロックには192個のフレームがあり、各フレームには2個のサブフレームがあります。各サブフレームには32ビットの情報が含まれています。受信する各データビットはバイフェーズマークエンコーディングを用いて2つのバイナリ状態のシンボルとしてコーディングされます。プリアンブルはデータと区別するためバイフェーズエンコーディングになっていません。バイフェーズエンコーディングではシンボルの前半の状態は必ず1つ前のシンボルの後半の状態の反転になります。ロジック0ではシンボルの後半の状態は前半と同じですが、ロジック1では後半は前半の反転になります。8個のデータビットを16個のシンボル状態にエンコードしたサンプルストリームを図7に示します。

SDTIピンへの入力データとサブフレーム上のオーディオデータの間係を図9に示します。

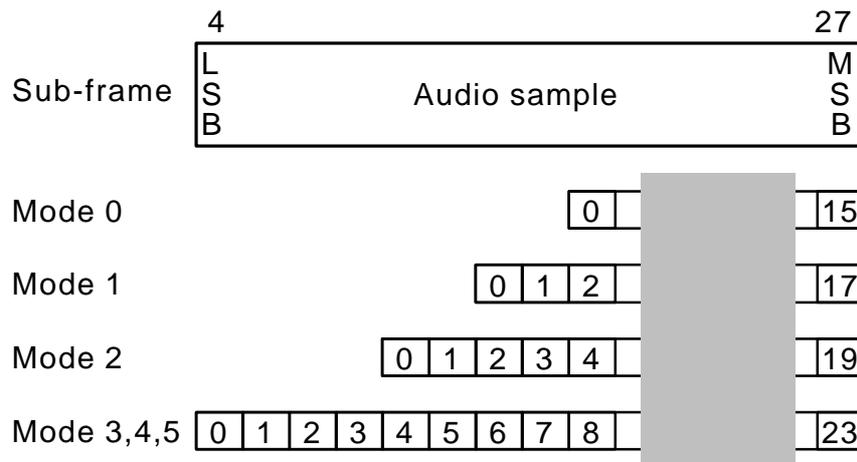


図9. SDTIピンへの入力データとサブフレーム上のオーディオデータの間係

■ ディエンファシスフィルタ

IIRフィルタによる3周波数 (32kHz,44.1kHz,48kHz) 対応のディエンファシスフィルタ (50/15μs特性) を内蔵しています。設定はレジスタから行います。低速および2倍速モード (DFS0=DFS1=0以外) ではディエンファシスフィルタは常にOFFです。

DEM1	DEM0	De-emphasis
0	0	44.1kHz
0	1	OFF
1	0	48kHz
1	1	32kHz

default

表5. ディエンファシスフィルタとDEM1-0 (DFS1-0 = “00”の時)

DFS1	DFS0	De-emphasis
0	0	表6参照
0	1	OFF
1	0	OFF
1	1	OFF

default

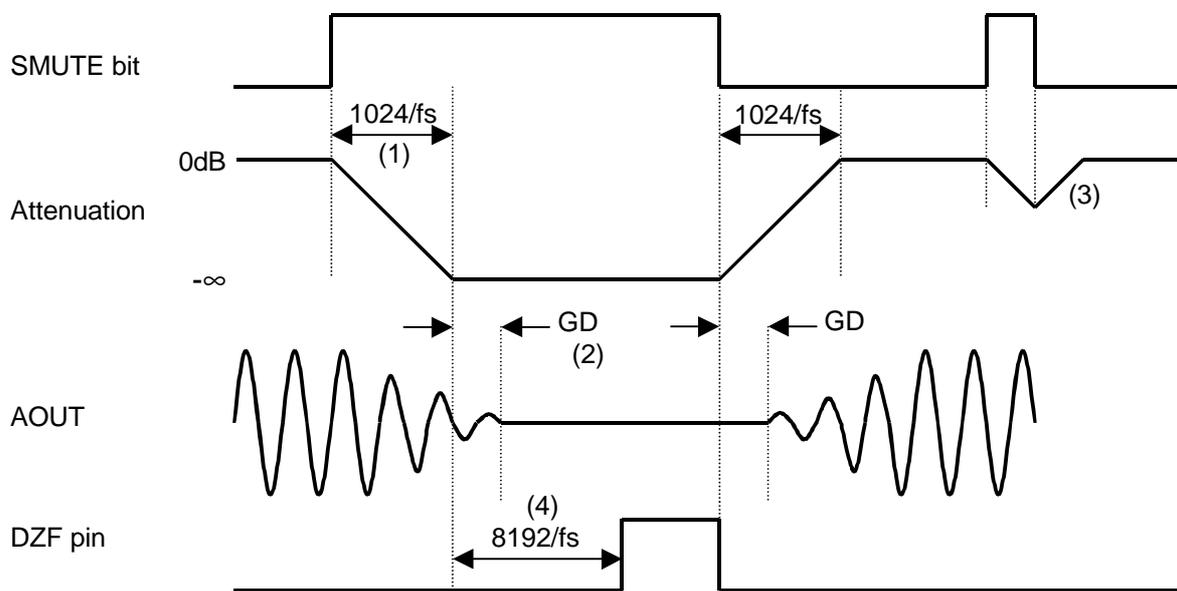
表6. ディエンファシスフィルタとDFS1-0

■ ゼロ検出機能

入力データが両チャンネルともに8192回連続して“0”の場合、DZFピンが“H”になります。その後入力データが“0”でなくなるとすぐにDZFピンは“L”になります。RSTNビットが“0”になるとDZFピンは“H”になり、RSTNビットが“1”に戻ると、その4~5/fs後にDZFピンが“L”になります。

■ ソフトミュート機能

ソフトミュートはデジタル的に実行されます。SMUTEビットを“1”にすると1024LRCKサイクルで入力データが $-\infty$ (“0”)までアテネーションされます。SMUTEビットを“0”にすると、 $-\infty$ 状態が解除され、 $-\infty$ から1024LRCKサイクルで0dBまで復帰します。ソフトミュート開始後、1024LRCKサイクル以内に解除されるとアテネーションが中断され、同じサイクルで0dBまで復帰します。ソフトミュート機能は信号を止めずに信号源を切り替える場合などに有効です。



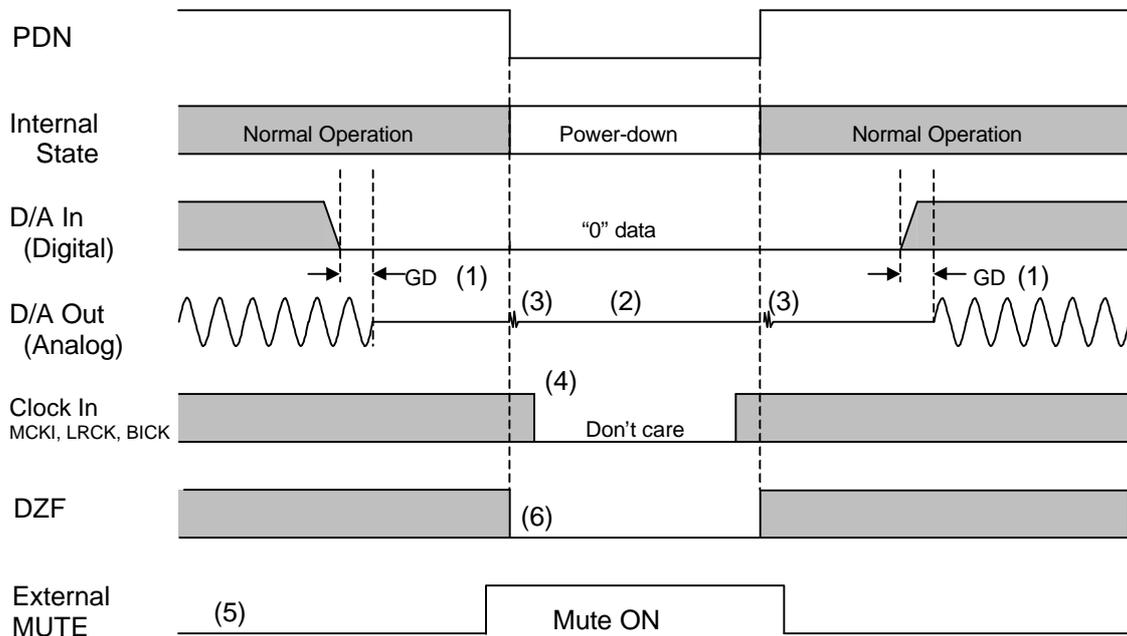
注:

- (1) 1024LRCKサイクル(1024/fs)で入力データが $-\infty$ (“0”)までアテネーションされます。
- (2) デジタル入力に対するアナログ出力は群遅延(GD)を持ちます。
- (3) ソフトミュート開始後、1024LRCKサイクル以内に解除されるとアテネーションが中断され、同じサイクルで0dBまで復帰します。
- (4) 入力データが両チャンネルともに8192回連続して“0”の場合、DZFピンは“H”になります。その後入力データが“0”でなくなると、DZFピンはすぐに“L”になります。

図10. ソフトミュート機能とゼロ検出機能

■ パワーダウンとリセット

AK4353はPDNピンを“L”にすることでパワーダウンできます。この時同時にデジタルフィルタもリセットされます。また内部のレジスタも初期化されます。このリセットは電源投入時に必ず一度行って下さい。PDNのエッジで異音が発生します。これが問題になる場合は、アナログ出力を外部でミュートして下さい。



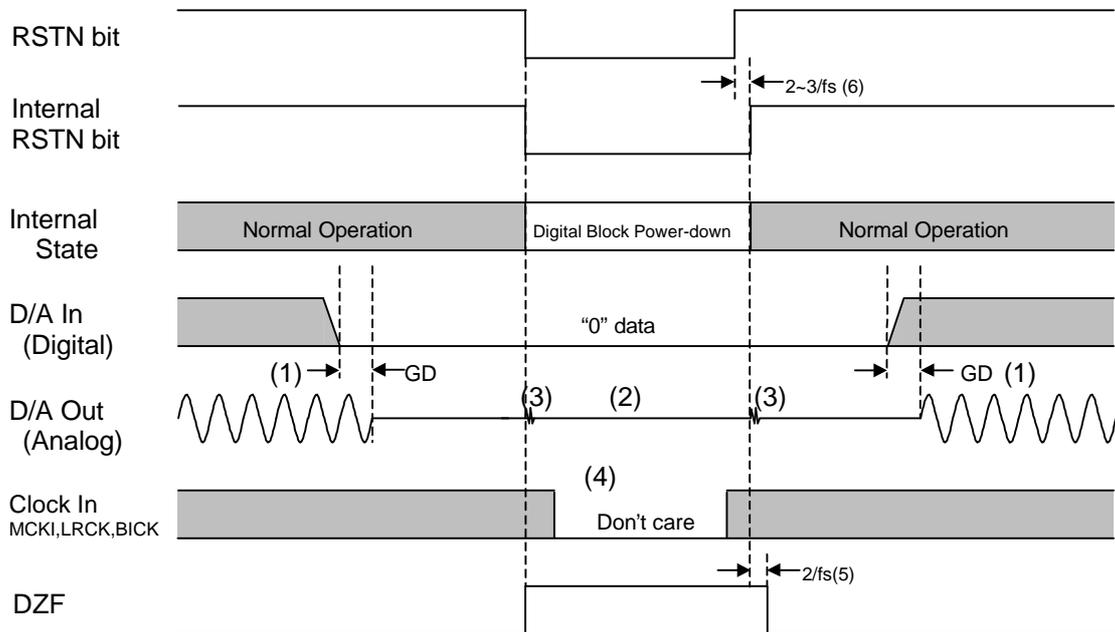
注:

- (1) デジタル入力に対するアナログ出力は群遅延(GD)を持ちます。
- (2) パワーダウン時アナログ出力はHi-Zです。
- (3) PDN 信号のエッジ(“↓↑”)でクリックノイズが出力されます。このノイズはデータが“0”の場合でも出力されます。
- (4) パワーダウン状態(PDN = “L”)では各クロック入力(MCKI, BICK, LRCK) を止めることができます。
- (5) クリックノイズ(3) が問題になる場合はアナログ出力を外部でミュートして下さい。タイミング例を示します。
- (6) パワーダウン状態(PDN= “L”)では、全チャンネルのDZFピンは“L”になります。

図11. パワーダウン / アップ時タイミング例

■ リセット

RSTNビットを“0”にすると、DACはパワーダウンしますが、内部レジスタは初期化されません。この時アナログ出力はVCOM電圧になり、DZFピンは“H”になります。図12にRSTNビットによるリセットシーケンスを示します。



注:

- (1) デジタル入力に対するアナログ出力は群遅延(GD)を持ちます。
- (2) RSTN = “0”時アナログ出力はVCOM電圧です。
- (3) 内部RSTN信号の変化点(“↓↑”)でクリックノイズが出力されます。このノイズはデータが“0”の場合でも出力されます。
- (4) リセット状態 (RSTN = “0”)では各クロック入力(MCKI, BICK, LRCK)を止めることができます。
- (5) 全チャンネルのDZFピンはRSTNビットが“0”になると“H”になり、RSTNビットが“1”になってから4 ~ 5/fs後“L”になります。
- (6) RSTNビットを書き込んでから内部RSTN信号が変化するまでの立ち上がり時に2 ~ 3/fsかかります。

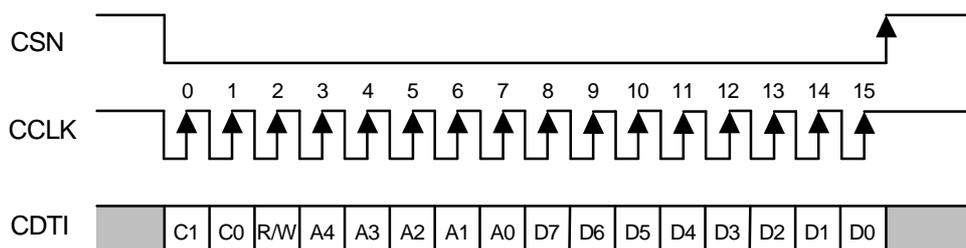
図12. リセットシーケンス例

■ シリアルコントロールインタフェース

AK4353の各機能はレジスタで設定できます。コントロールモードは2種類あります。チップアドレスはCAD0, CAD1ピンの設定で決定されます。PDNピンを“L”にすると内部レジスタ値は初期化されます。RSTNビットに“0”を書き込むと内部タイミング回路がリセットされます。但し、この時レジスタの内容は初期化されません。

(1) 3線シリアルコントロールモード (I2C = “L”)

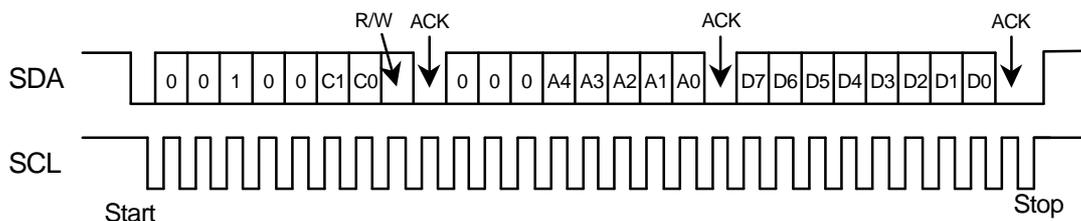
レジスタ設定は3線式シリアルI/Fピン: CSN, CCLK, CDTIで書き込みを行います。I/F上のデータはChip address(2bits, CAD0/1), Read/Write(1bit, “1”固定; Write only), Register address(MSB first, 5bits), Control data(MSB first, 8bits)で構成されます。データはCCLKの立ち上がりエッジで取り込みます。データの書き込みはCSNの立ち上がりエッジで有効になります。CCLKのクロックスピードは5MHz(max)です。アクセスしないときCSNとCCLKは“H”に固定して下さい。



C1-C0: Chip Address (C1=CAD1, C0=CAD0)
 R/W: Read/Write (Fixed to “1” : Write only)
 A4-A0: Register Address
 D7-D0: Control Data

(2) I²Cバスコントロールモード (I2C = “H”)

レジスタ設定はI²CバスI/Fピン: SCLで書き込みを行います。I/F上のデータはChip address(2bits, CAD0/1), Read/Write(1bit, Fixed to “0”; Write only), Register address(MSB first, 5bits), Control data(MSB first, 8bits)で構成されます。データはSCLの立ち上がりエッジで取り込まれ、SCLの立ち下がりエッジで出力されます。データの書き込みはSCL = “H”でのSDA立ち上がりエッジで有効になります。SCLのクロックスピードは100kHz(max)です。I²CバスコントロールモードではCSNはDVDDに接続して下さい。AK4353はアドレスのオートインクリメント機能はサポートしません。



C1-C0: Chip Address (C1=CAD1, C0=CAD0)
 R/W: Read/Write (Fixed to “0” : Write only)
 A4-A0: Register Address
 D7-D0: Control Data
 ACK: Acknowledge

*PDN = “L”時、およびマスタクロックが供給されていない時は、コントロールレジスタへの書き込みはできません。

■ レジスタマップ

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
00H	Control 1	0	0	0	0	DIF2	DIF1	DIF0	RSTN
01H	Control 2	0	0	DFS1	DFS0	CKS2	CKS1	CKS0	RSTN
02H	Control 3	PL3	PL2	PL1	PL0	DEM1	DEM0	ATC	SMUTE
03H	Lch ATT	ATT7	ATT6	ATT5	ATT4	ATT3	ATT2	ATT1	ATT0
04H	Rch ATT	ATT7	ATT6	ATT5	ATT4	ATT3	ATT2	ATT1	ATT0
05H	TX	0	0	0	0	0	0	V	TXE
06H	Channel Status 1	0	CS29	CS28	CS25	CS24	CS3	CS2	CS1
07H	Channel Status 2	CS15	CS14	CS13	CS12	CS11	CS10	CS9	CS8

注: アドレス08Hから1FHまでは書き込み不可です。

PDNピンを“L”にすると、レジスタ値は初期化されます。

RSTNビットを“0”にすると、内部のタイミングがリセットされ、DZFピンは“H”になります。但し、レジスタ値は初期化されません。

■ 詳細説明

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
00H	Control 1	0	0	0	0	DIF2	DIF1	DIF0	RSTN
	Default	0	0	0	0	1	0	1	1

RSTN: 内部タイミングリセット

0: リセット。全チャンネルのDZFピンは“H”になりますが、レジスタ値は初期化されません。

1: 通常動作。

DIF2-0, CKS2-0, DFS1-0を切り替えた場合、PDNピンかRSTNビットでリセットして下さい。
この時異音が生じます。

DIF2-0: オーディオデータインタフェースモード選択 (表3)

初期値: “101”, Mode 5

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
01H	Control 2	0	0	DFS1	DFS0	CKS2	CKS1	CKS0	RSTN
	Default	0	0	0	0	0	0	0	1

RSTN: 内部タイミングリセット

0: リセット。全チャンネルのDZFピンは“H”になりますが、レジスタ値は初期化されません。

1: 通常動作。

DIF2-0, CKS2-0, DFS1-0を切り替えた場合、PDNピンかRSTNビットでリセットして下さい。
この時異音が生じます。

CKS2-0: マスタクロック周波数選択 (表1)

初期値: “000”

DFS1-0: 低速/標準速/2倍速選択 (表1)、ディエンファシス応答選択 (表6)

初期値: “00”

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
02H	Control 3	PL3	PL2	PL1	PL0	DEM1	DEM0	ATC	SMUTE
	Default	1	0	0	1	0	1	0	0

SMUTE: ソフトミュート機能有効

0: 通常動作

1: DAC出力がソフトミュートされます。

ATC: アテネーションコントロール

0: 各チャンネル独立に設定されます。

1: Addr=03Hに書き込まれたアテネーションデータが両チャンネル共通にセットされます。

DEM1-0: ディエンファシス応答コントロール (表5,6)

初期値: "01", OFF

PL3-0: ミキシングモード

PL3	PL2	PL1	PL0	Lch Output	Rch Output	Note
0	0	0	0	MUTE	MUTE	MUTE
0	0	0	1	MUTE	R	
0	0	1	0	MUTE	L	
0	0	1	1	MUTE	(L+R)/2	
0	1	0	0	R	MUTE	
0	1	0	1	R	R	
0	1	1	0	R	L	REVERSE
0	1	1	1	R	(L+R)/2	
1	0	0	0	L	MUTE	
1	0	0	1	L	R	STEREO
1	0	1	0	L	L	
1	0	1	1	L	(L+R)/2	
1	1	0	0	(L+R)/2	MUTE	
1	1	0	1	(L+R)/2	R	
1	1	1	0	(L+R)/2	L	
1	1	1	1	(L+R)/2	(L+R)/2	MONO

default

表8. 出力モード

STEREO: L/R出力 (通常のステレオ出力)

REVERSE: L/R反転

MONO: モノラル

MUTE: ソフトミュート

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
03H	Lch ATT	ATT7	ATT6	ATT5	ATT4	ATT3	ATT2	ATT1	ATT0
04H	Rch ATT	ATT7	ATT6	ATT5	ATT4	ATT3	ATT2	ATT1	ATT0
Default		1	1	1	1	1	1	1	1

減衰量の計算式: $ATT = 20 \times \text{Log}_{10} (\text{Binary level} / 255)$ [dB]

FFH: 0dB

:

01H: -48.1dB

00H: Mute

ATT値間の遷移はソフトミュート動作と同じです。現在値がATT1で新たにATT2が設定された場合、ATT1からATT2へソフトミュートと同じ動作で近づいていきます。ATT2になる前に新たにATT3が設定された場合はその時点のレベルからATT3の値に近づいていきます。

ソフトミュートのサイクルタイム: $T_s = 1024/f_s$

ATT7-0はPDNピンを“L”にすると一旦00Hになり、“H”に戻すと T_s の間にFFHへソフト遷移動作します。ATT7-0はRSTNビットを“0”にすると一旦00Hになり、“1”に戻すと設定値へソフト遷移動作します。デジタルアテネータ機能はソフトミュート機能とは独立に動作します。

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
05H	TX	0	0	0	0	0	0	V	TXE
	Default	0	0	0	0	0	0	0	1

TXE: TX出力イネーブル

0: “L”

1: 通常動作

V: バリディティフラグ

0: Valid

1: Invalid

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
06H	Channel Status 1	0	CS29	CS28	CS25	CS24	CS3	CS2	CS1
	Default	0	0	0	0	0	0	0	0

CS1 0: オーディオデータ

1: デジタルデータ

CS2 0: 著作権保護あり

1: 著作権保護なし

CS3 0: プリエンファシスなし

1: プリエンファシスあり (50/15μsec)

CS24,25: サンプリング周波数

00: 44.1kHz

01: 48kHz

10: 未規定

11: 32kHz

CS28,29: クロック精度

00: 標準モード

01: 可変ピッチモード

10: 高精度モード

11: 未規定

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
07H	Channel Status 2	CS15	CS14	CS13	CS12	CS11	CS10	CS9	CS8
	Default	0	0	0	0	0	1	0	0

CS8-15: カテゴリーコード (EIAJの規格を参照して下さい。)

00100000: 日本における映像信号付きまたは無しのデジタルオーディオ放送受信 (初期値)

■ チャンネルステータス説明(EIAJとIEC958の規格より)

	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Byte 0	CS7	CS6	CS5	CS4	CS3	CS2	CS1	CS0
Byte 1	CS15	CS14	CS13	CS12	CS11	CS10	CS9	CS8
Byte 2	CS23	CS22	CS21	CS20	CS19	CS18	CS17	CS16
Byte 3	CS31	CS30	CS29	CS28	CS27	CS26	CS25	CS24

(太字: 可変, 細字: この製品では固定になっています。)

CS0 0: 民生モード (固定)

CS1 0: オーディオデータ
1: デジタルデータ

CS2 0: 著作権保護あり
1: 著作権保護なし

CS3-5 000: プリエンファシスなし
100: プリエンファシスなし (50/15μsec、CS4-5: “00”固定)

CS6-7: モード
00: モード0 (固定)

CS8-15: カテゴリーコード (次ページ参照。詳しくはEIAJの規格を参照して下さい。)

CS16-19: ソース番号
00: 指定なし (固定)

CS20-23: チャンネル番号 (固定)
1000: ステレオ動作における左チャンネル
0100: ステレオ動作における右チャンネル

CS24-27: サンプリング周波数
0000: 44.1kHz
0100: 48kHz
1100: 32kHz
その他: 規定なし

CS28-29: クロック精度
00: 標準モード
01: 可変ピッチモード
10: 高精度モード
11: 指定なし

CS30-: 規定なし (すべて “0” 固定)

カテゴリーコード (ビット8-15)

ビット15 (Lビット): デジタルオーディオ信号の「世代」を示す。

一般の場合

0: 指定なし

1: 商業的に発行された録音済みソフトウェア

光ディスク機器 (“100 xxxxL”)、放送受信 (“001 xxxxL”及び“011 1xxxL”)の場合

0: 商業的に発行された録音済みソフトウェア

1: 指定なし

“000 00000”: ゼネラル。特別に日本における著作権情報のないデジタルオーディオ受信に適用。

“100 xxxxL”: 光ディスク機器

“100 0000L”: IEC908に適合するコンパクトディスク (CD)

“100 1000L”: IEC908に適合しない光ディスク機器

“100 1001L”: ミニディスクシステム (MD)

“100 1100L”: デジタルビデオディスク (DVD)

“010 xxxxL” and “011 1xxxL”: デジタル/デジタル変換機器及び信号処理装置

“010 0000L”: PCMエンコーダ/デコーダ

“010 0100L”: デジタル信号ミキサ

“010 1100L”: サンプリングレートコンバータ

“010 0010L”: デジタルサウンドサンブラ

“110 xxxxL”: 磁気テープ機器及び磁気ディスク

“110 0000L”: デジタルオーディオテープ (DAT)

“110 1000L”: デジタル音声付きビデオテープレコーダ (VTR)

“110 0001L”: デジタルコンパクトカセット

“001 xxxxL”: デジタルオーディオ放送受信

“001 0000L”: 日本における放送受信 (初期値: “001 00000”)

“001 1000L”: 欧州における放送受信

“001 0011L”: 米国における放送受信

“001 0001L”: ソフトウェア電子配信

“101 xxxxL”: 楽器、マイクロフォン及びオリジナル信号を生成するソース

“101 0000L”: シンセサイザ

“101 1000L”: マイクロフォン

“011 00xxx”: A/Dコンバータ (著作権情報なし)

“011 0000x”: A/Dコンバータ

“011 01xxL”: A/Dコンバータ (著作権情報あり)

“011 0100L”: A/Dコンバータ

“000 1xxxL”: 固体メモリ機器

“000 0001L”: 商用に供さない実験機器

“111 xxxxL”: 未規定

“000 0xxxxL”: 未規定 (“000 00000”, “000 0001L”を除く)

システム設計

図13はシステム接続例です。具体的な回路と測定例については評価用ボード (AKD4353) を参照して下さい。

条件: AVDD=DVDD=5V(TTL mode), I2C mode, Chip Address = "00"

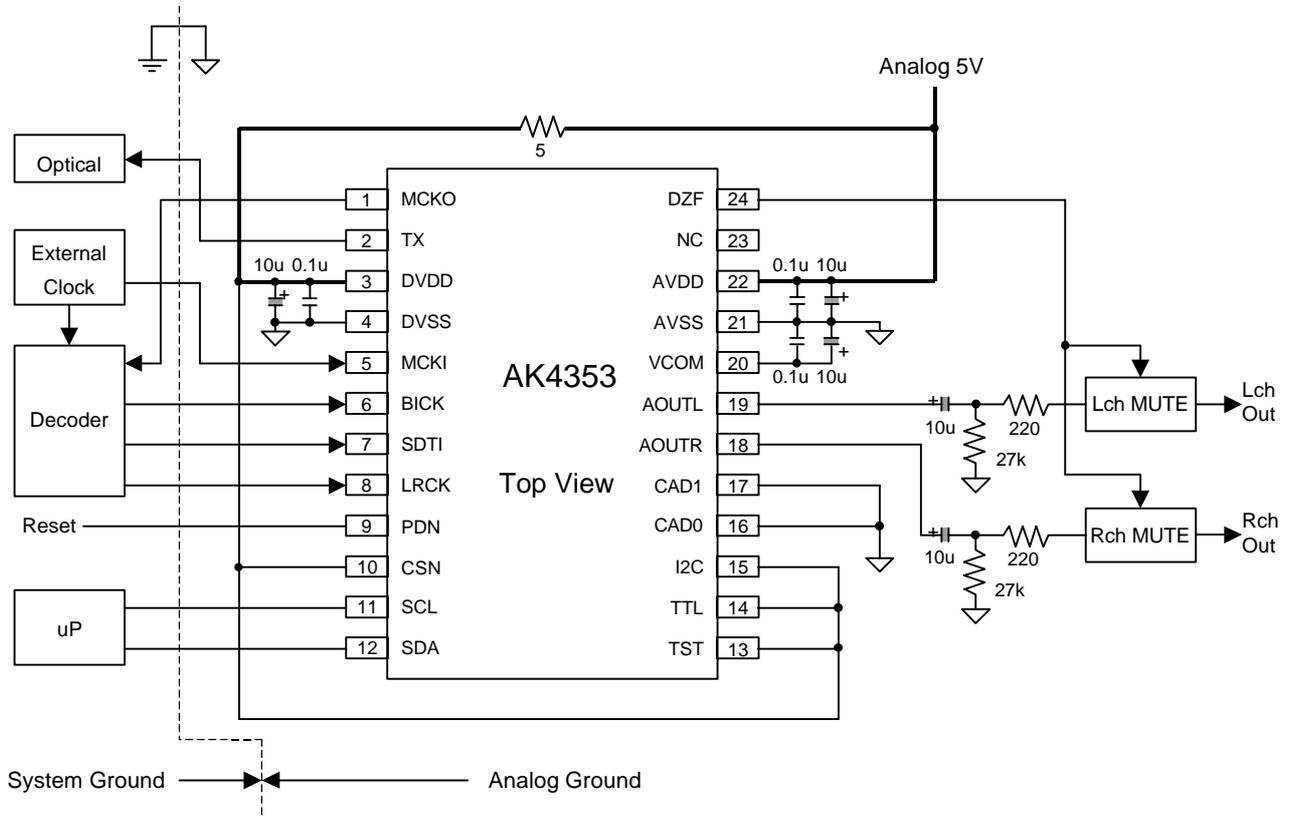


図13. システム接続例

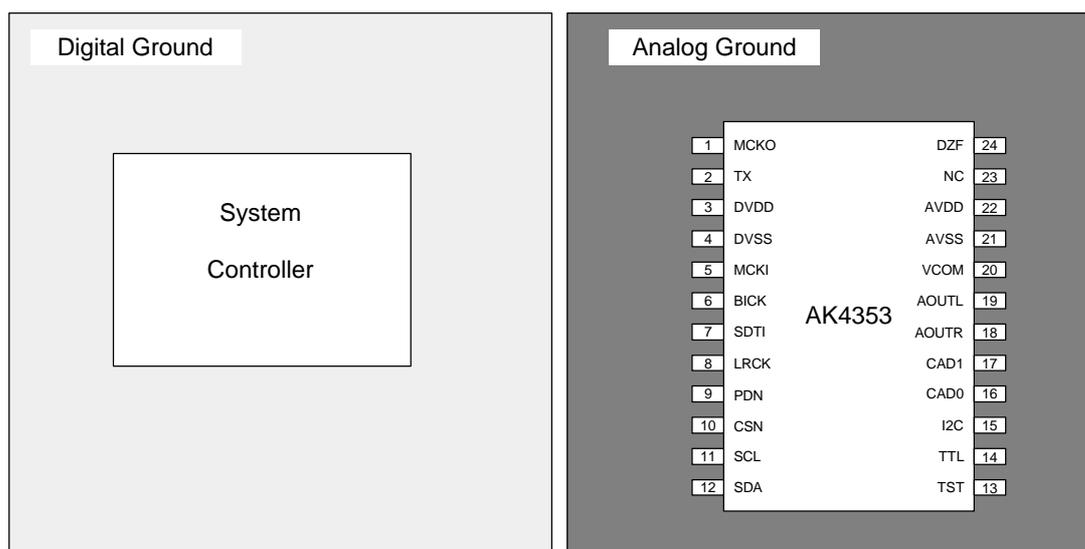


図14. グラウンドレイアウト

注: AVSSとDVSSはアナロググラウンドに接続して下さい。

1. グラウンドと電源のデカップリング

電源とグラウンドの取り方には十分注意して下さい。通常AVDDとDVDDにはシステムのアナログ電源を供給します。AVDDとDVDDが別電源で供給される場合は、電源立ち上げシーケンスを考える必要はありません。AVSSとDVSSはアナロググラウンドに接続して下さい。システムのグラウンドはアナログとデジタルで分けて配線し、PCボード上の電源に近いところで接続して下さい。小容量のデカップリングコンデンサはなるべく電源ピンの近くに接続して下さい。

2. 基準電圧入力

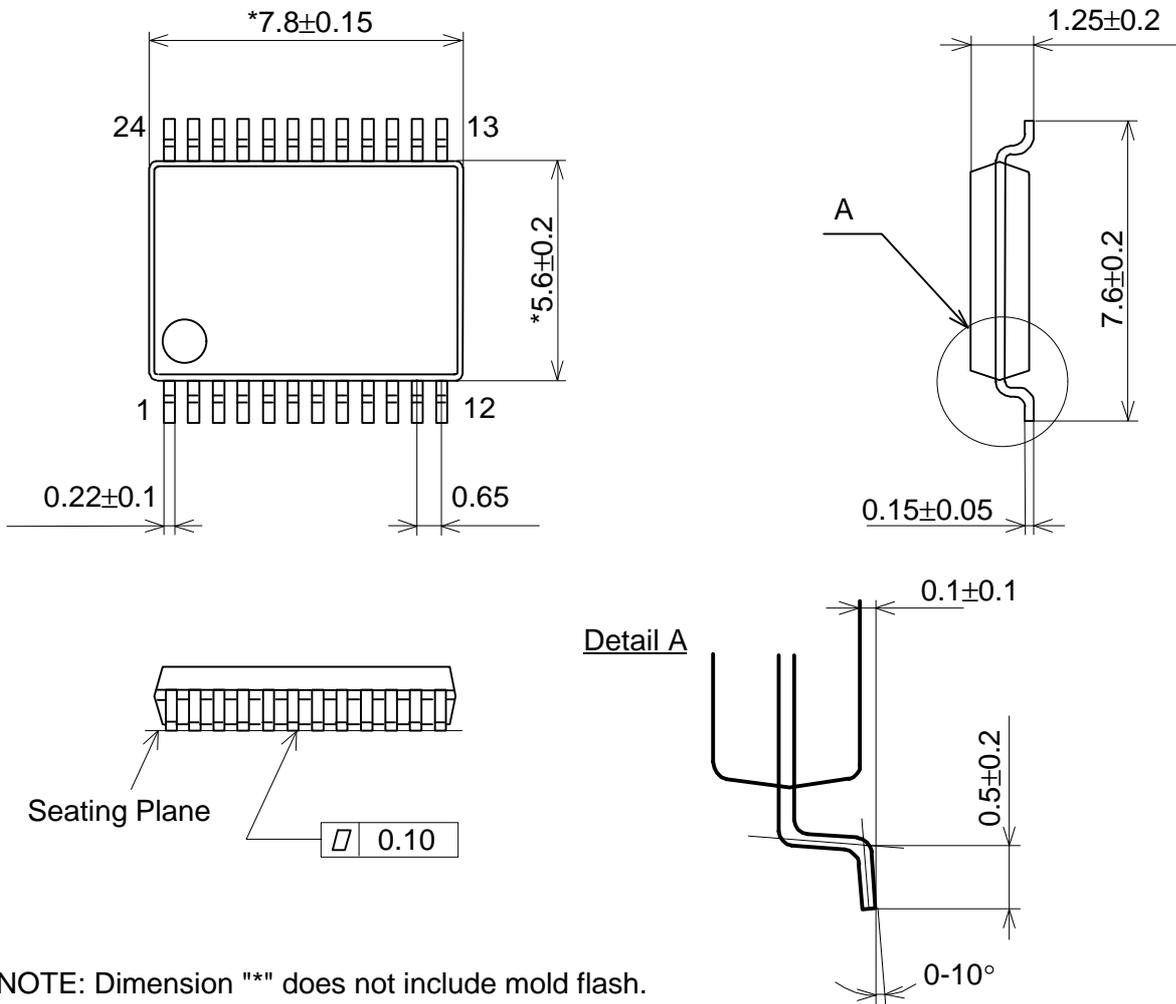
AVDDピンとAVSSピンに入力される電圧の差がアナログ出力レンジを設定します。VCOMはAVDD/2電圧を出力しており、アナログ信号のコモン電圧として使われます。このピンには高周波ノイズを除去するために10 μ F程度の電解コンデンサと並列に0.1 μ FのセラミックコンデンサをAVSSとの間に接続して下さい。特にセラミックコンデンサはピンに出来るだけ近づけて接続して下さい。VCOMピンから電流を取ってはいけません。また、デジタル信号、特にクロック信号は変調器へのカップリングを避けるためVCOMから出来るだけ離して下さい。

3. アナログ出力

DAC出力はシングルエンド出力になっており、出力レンジはVCOM電圧を中心に $0.6 \times (AVDD - AVSS) V_{pp}(typ)$ です。内蔵の変調器が発生する帯域外ノイズ(シェーピングノイズ)は内蔵のスイッチトキャパシタフィルタ(SCF)と連続フィルタ(CTF)で減衰されます。入力コードのフォーマットは2'sコンプリメント(2の補数)で、7FFFFFFH(@24bit)に対しては正のフルスケール、800000H(@24bit)に対しては負のフルスケール、000000H(@24bit)での理想値は0Vが出力されます。

パッケージ

24pin VSOP (Unit: mm)

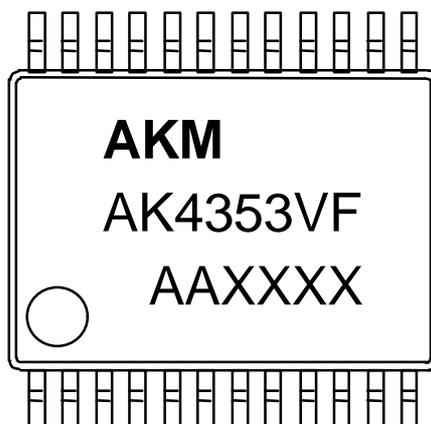


NOTE: Dimension "*" does not include mold flash.

■ 材質・メッキ仕様

パッケージ材質:	エポキシ系樹脂
リードフレーム材質:	銅
リードフレーム処理:	半田メッキ

マーキング



Contents of AAXXXX

AA: Lot#

XXXX: Date Code

重要な注意事項

- 本書に記載された製品、及び、製品の仕様につきましては、製品改善のために予告なく変更することがあります。従いまして、ご使用を検討の際には、本書に掲載した情報が最新のものであることを弊社営業担当、あるいは弊社特約店営業担当にご確認下さい。
- 本書に掲載された情報・図面の使用に起因した第三者の所有する特許権、工業所有権、その他の権利に対する侵害につきましては、当社はその責任を負うものではありませんので、ご了承下さい。
- 本書記載製品が、外国為替及び、外国貿易管理法に定める戦略物資(役務を含む)に該当する場合、輸出する際に同法に基づく輸出許可が必要です。
- 医療機器、安全装置、航空宇宙用機器、原子力制御用機器など、その装置 機器の故障や動作不良が、直接または間接を問わず、生命、身体、財産等へ重大な損害を及ぼすことが通常予想されるような極めて高い信頼性を要求される用途に弊社製品を使用される場合は、必ず事前に弊社代表取締役の書面による同意をお取り下さい。
- この同意書を得ずにこうした用途に弊社製品を使用された場合、弊社は、その使用から生ずる損害等の責任を一切負うものではありませんのでご了承下さい。
- お客様の転売等によりこの注意事項の存在を知らずに上記用途に弊社製品が使用され、その使用から損害等が生じた場合は全てお客様にてご負担または補償して頂きますのでご了承下さい