

AKM

AK4352

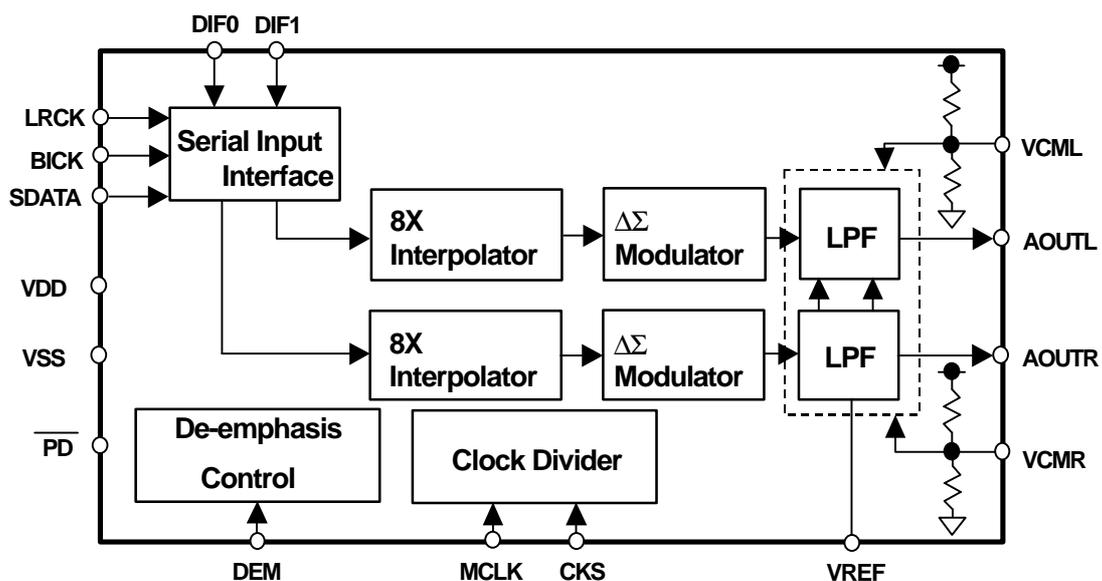
2V動作 低消費電力 マルチビット $\Delta\Sigma$ 方式 DAC

概 要

AK4352はデジタルオーディオ用低電圧動作、低消費電力の18ビットD/Aコンバータです。新開発のマルチビット $\Delta\Sigma$ 方式を採用しており、低電圧動作においてDR=94dBを達成しています。シングルエンド出力のポストフィルタを内蔵しており、外付け部品をほとんど必要としません。低消費電力、小型パッケージですのでMD等のポータブルオーディオ用途に最適です。

特 長

- マルチビット $\Delta\Sigma$ 方式 DAC
- サンプリングレート: 8kHz ~ 50kHz
- ポストフィルタ内蔵
- シングルエンド出力バッファ内蔵
- 8倍 FIR デジタルフィルタ内蔵
 - 通過域: 20kHz
 - 通過域リップル: $\pm 0.06\text{dB}$
 - 阻止域減衰量: 43dB
- デジタル I/F フォーマット: MSB First, 2's Complement
 - 18bit 前詰め, 16/18bit 後詰め, IIS
- デジタルディエンファシス内蔵: 44.1kHz のみ
- マスタクロック: 256fs or 384fs
- THD+N: -83dB@2V, -89dB@3V
- D-Range: 94dB@2V, 96dB@3V
- 出力電圧: 1.10Vpp@2V
- 低電圧動作: 2V (1.8V ~ 3.6V)
- 低消費電力: 6mW@2V
- 超小型パッケージ: 16pin TSSOP



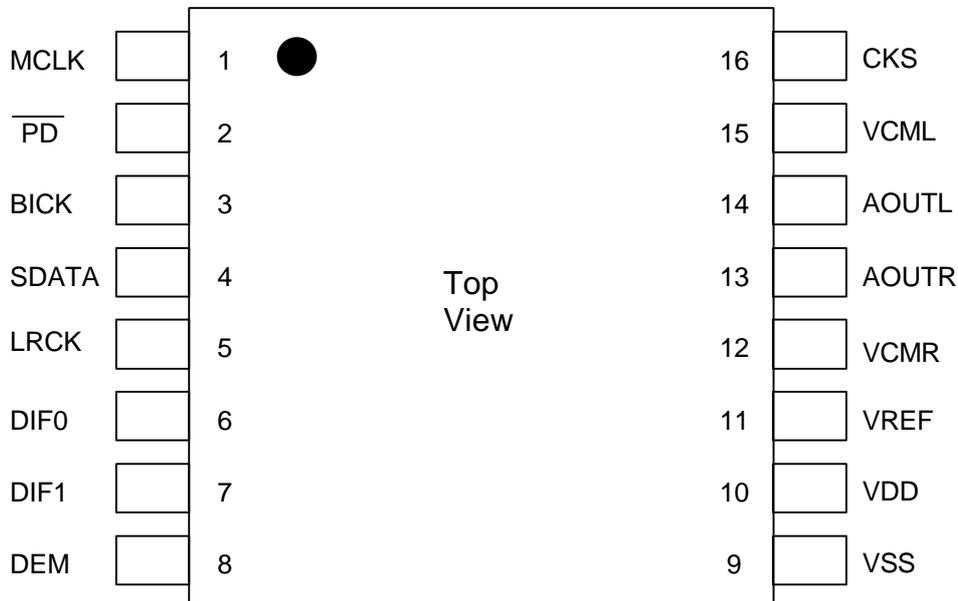
■ オーダリングガイド

AK4352VT
AKD4352

-40 ~ +85°C
評価用ボード

16pin TSSOP (0.65mm pitch)

■ ピン配置



ピン/機能

No.	ピン名称	I/O	機 能
1	MCLK	I	マスタクロックピン
2	$\overline{\text{PD}}$	I	パワーダウンピン このピンを“L”にするとリセットされパワーダウン状態になります。 電源立ち上げ時に一度“L”を入力してリセットして下さい。
3	BICK	I	シリアルビットクロックピン オーディオデータをシフトするためのクロックです。
4	SDATA	I	オーディオデータ入力ピン
5	LRCK	I	L/R クロックピン 入力されるオーディオデータのチャンネルを決定します。
6 7	DIF0 DIF1	I I	シリアルデータ入力フォーマット選択ピン
8	DEM	I	ディエンファシスイネーブルピン “H”の時、fs=44.1kHzのディエンファシスがイネーブルされます。
9	VSS	-	グランドピン
10	VDD	-	電源ピン
11	VREF	I	基準電圧入力ピン 通常、VDDに接続します。
12	VCMR	O	Rch コモン電圧ピン
13	AOUTR	O	Rch アナログ出力ピン
14	AOUTL	O	Lch アナログ出力ピン
15	VCML	O	Lch コモン電圧ピン
16	CKS	I	マスタクロック選択ピン “L”: 256fs, “H”: 384fs

注: すべての入力ピンは、オープンにしないで下さい。

絶対最大定格

(VSS=0V; Note 1)

Parameter	Symbol	min	max	Units
Power Supply	VDD	-0.3	4.6	V
Input Current (any pins except for supplies)	IIN	-	±10	mA
Input Voltage	VIND	-0.3	VDD+0.3	V
Ambient Operating Temperature (Power applied)	Ta	-40	85	°C
Storage Temperature	Tstg	-65	150	°C

Note 1. 電圧はすべてグランドピンに対する値です。

注意: この値を超えた条件で使用した場合、デバイスを破壊することがあります。また通常の動作は保証されません。

推奨動作条件

(VSS=0V; Note 1)

Parameter	Symbol	min	typ	max	Units
Power Supply	VDD	1.8	2.0	3.6	V
Voltage Reference (Note 2)	VREF		-	VDD	V

Note 1. 電圧はすべてグランドピンに対する値です。

Note 2. アナログ出力電圧は VREF の電圧に比例します。

$$AOUT(\text{typ. @0dB}) = 1.10V_{pp} * VREF / 2$$

注意: 本データシートに記載されている条件以外のご使用に関しては、当社では責任負いかねますので十分ご注意ください。

アナログ特性

(特記なき場合は、 $T_a=25^{\circ}\text{C}$; $V_{DD}=2.0\text{V}$, $V_{REF}=V_{DD}$; $f_s=44.1\text{kHz}$; $BICK=64\text{fs}$; Signal Frequency=1kHz; 18bit Input Data; Measurement frequency=10Hz ~ 20kHz; $R_L \geq 10\text{k}\Omega$)

Parameter		min	typ	max	Units
Dynamic Characteristics (Note 3)					
THD+N	(0dB Output)		-83	-74	dB
Dynamic Range	(-60dB Output, A-weight)	88	94		dB
S/N	(A-weight)	88	94		dB
Interchannel Isolation		90	100		dB
DC Accuracy					
Interchannel Gain Mismatch			0.1	0.5	dB
Gain Drift		-	60	-	ppm/ $^{\circ}\text{C}$
Output Voltage	(Note 4)	1.02	1.10	1.18	V _{pp}
Load Resistance		10			k Ω
Power Supplies					
Power Supply Current					
Normal Operation ($\overline{PD} = \text{"H"}$)	VDD		3.0	4.7	mA
Power-Down Mode ($\overline{PD} = \text{"L"}$)	VDD (Note 5)		10	50	μA
Power Dissipation (VDD)					
Normal Operation			6.0	9.4	mW
Power-Down Mode	(Note 5)		20	100	μW
Power Supply Rejection		-	50	-	dB

Note 3. シバソク製 AD725C 使用。平均値測定。

VDD=3.0V 時のアナログ特性は

THD+N: -89dB

DR: 96dB (A-weight)

S/N: 97dB (A-weight)

です。

Note 4. フルスケール電圧 (0dB)。出力電圧は VREF の電圧に比例します。

AOUT (typ.@0dB)=1.10V_{pp}*VREF/2

Note 5. パワーダウン時、クロック (MCLK, BICK, LRCK) を含む全てのデジタル入力ピンは VDD または VSS に固定した場合の値です。

フィルタ特性

(Ta=25°C; VDD=1.8 ~ 3.6V; fs=44.1kHz; DEM= "L")

Parameter	Symbol	min	typ	max	Units
Digital filter					
Passband	-0.1dB (Note 6)	PB	0	20.0	kHz
	-6.0dB		-	-	kHz
Stopband	(Note 6)	SB	24.1		kHz
Passband Ripple		PR		± 0.06	dB
Stopband Attenuation		SA	43		dB
Group Delay	(Note 7)	GD	-	14.7	1/fs
Digital Filter + Analog Filter					
Frequency Response	0 ~ 20.0kHz		-	± 0.2	dB

Note 6. 通過域、阻止域の周波数は fs (システムサンプリングレート) に比例し、PB=0.4535fs(@-0.1dB)、SB=0.546fs(@-43dB) です。

Note 7. デジタルフィルタによる演算遅延で、18ビットデータが入力レジスタにセットされてからアナログ信号が出力されるまでの時間です。

DC特性

(Ta=25°C; VDD=1.8 ~ 3.6V)

Parameter	Symbol	min	typ	max	Units
High-Level Input Voltage	VIH	75%VDD	-	-	V
Low-Level Input Voltage	VIL	-	-	25%VDD	V
Input Leakage Current	Iin	-	-	±10	μA

スイッチング特性

(Ta=25°C; VDD=1.8 ~ 3.6V)

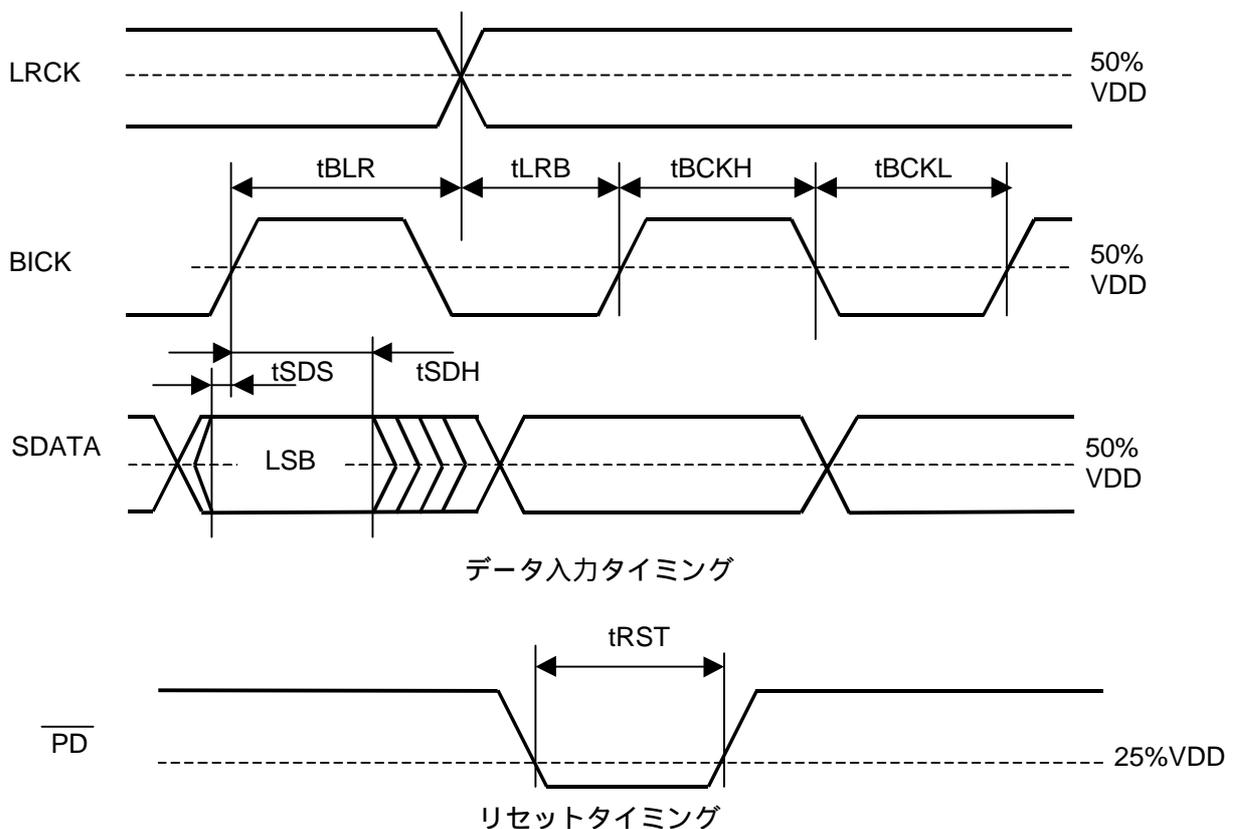
Parameter	Symbol	min	typ	max	Units	
Master Clock Timing	256fs:	fCLK	2.048	11.2896	12.8	MHz
	Pulse Width Low	tCLKL	28			ns
	Pulse Width High	tCLKH	28			ns
	384fs:	fCLK	3.072	16.9344	19.2	MHz
	Pulse Width Low	tCLKL	23			ns
	Pulse Width High	tCLKH	23			ns
LRCK Frequency	fs	8	44.1	50	kHz	
Serial Interface Timing (Note 8)						
BICK Period	tBCK	312.5			ns	
BICK Pulse Width Low	tBCKL	100			ns	
Pulse Width High	tBCKH	100			ns	
BICK rising to LRCK Edge	tBLR	50			ns	
LRCK Edge to BICK rising	tLRB	50			ns	
SDATA Hold Time	tSDH	50			ns	
SDATA Setup Time	tSDS	50			ns	
Reset Timing						
PD Pulse Width	tRST	300			ns	

Note 8. オーディオデータインタフェースの項を参照して下さい。

Note 9. この規格値は LRCK のエッジと BICK の“↑”が重ならないように規定しています。

Note 10. 電源投入時は PD を“L”から“H”にすることでリセットがかかります。

■ タイミング波形



機能説明

■ システムクロック

AK4352 に必要とされるクロックは、MCLK(256fs/384fs), LRCK(fs), BICK(32fs~) です。MCLK と LRCK は同期する必要がありますが、位相を合わせる必要はありません。MCLK の周波数は入力データレート (fs) と CKS ピンで決まります。CKS ピンを“L”にすると 256fs、“H”にすると 384fs です。384fs が選択された場合、MCLK は内部で 2/3 分周されます。表 1 に標準のオーディオレートに対して、AK4352 に必要とされる各クロックの周波数を示します。

動作時 (PD = “H”) は、各外部クロック (MCLK, BICK, LRCK) を止めてはいけません。これらのクロックが供給されない場合、内部にダイナミックなロジックを使用しているため、過電流が流れ、動作が異常になる可能性があります。クロックを止める場合にはパワーダウン状態 (PD = “L”) にして下さい。

AK4352 では LRCK による位相検出回路を内蔵しているため、動作中にクロックの周波数変更等で内部のタイミングがずれた場合は、自動的に検出し位相調整を行います。そのため、電源投入時以外は外部からリセットをかける必要はありません。

LRCK (fs)	MCLK		BICK (64fs)
	CKS= “L”: 256fs	CKS= “H”: 384fs	
32.0kHz	8.1920MHz	12.2880MHz	2.0480MHz
44.1kHz	11.2896MHz	16.9344MHz	2.8224MHz
48.0kHz	12.2880MHz	18.4320MHz	3.0720MHz

表 1. システムクロック例

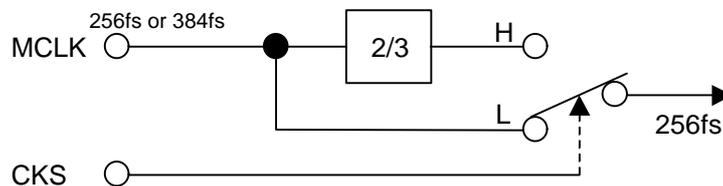


図 1. MCLK分周回路

■ シリアルデータインタフェース

AK4352 は SDATA, BICK, LRCK の 3 ピンを使用して外部のシステムとインタフェースします。4 種類のデータフォーマットが DIF0 と DIF1 ピンで選択できます。フォーマット 0 は既存の 16 ビット DAC 及びデジタルフィルタと互換があります。フォーマット 1 はフォーマット 0 の 18 ビット版です。フォーマット 2 は当社 ADC や種々の汎用 DSP のシリアルポートと互換性があります。フォーマット 3 は I²S インタフェースと互換性があります。フォーマット 2 と 3 で 16 ビットデータを入力する場合は、LSB に続けて 2 個の“0”を入力します。

DIF1	DIF0	Mode	BICK	図
0	0	0: 16bit 後詰め	≥32fs	図 2
0	1	1: 18bit 後詰め	≥36fs	図 2
1	0	2: 18bit 前詰め	≥36fs	図 3
1	1	3: I ² S 互換	≥32fs or 36fs	図 4

表 2. デジタル入力フォーマット

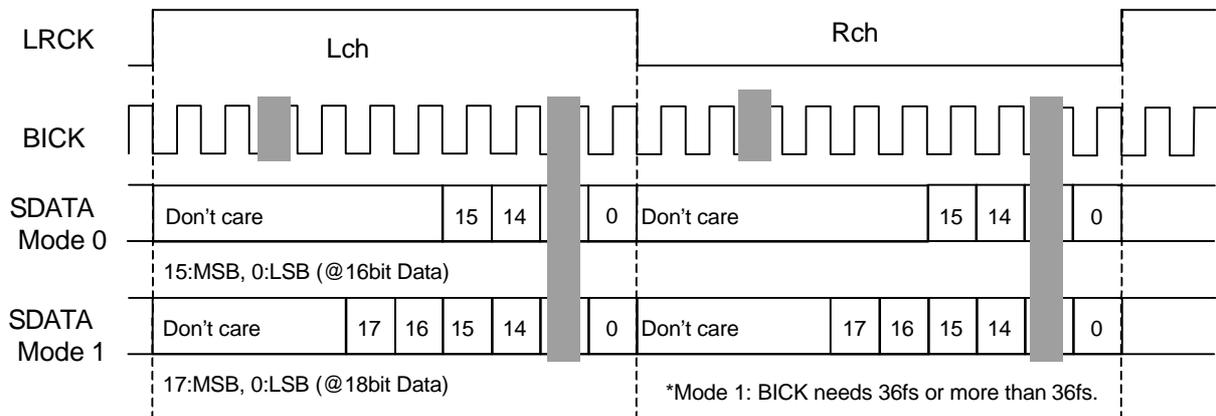


図 2. Mode 0,1 タイミング

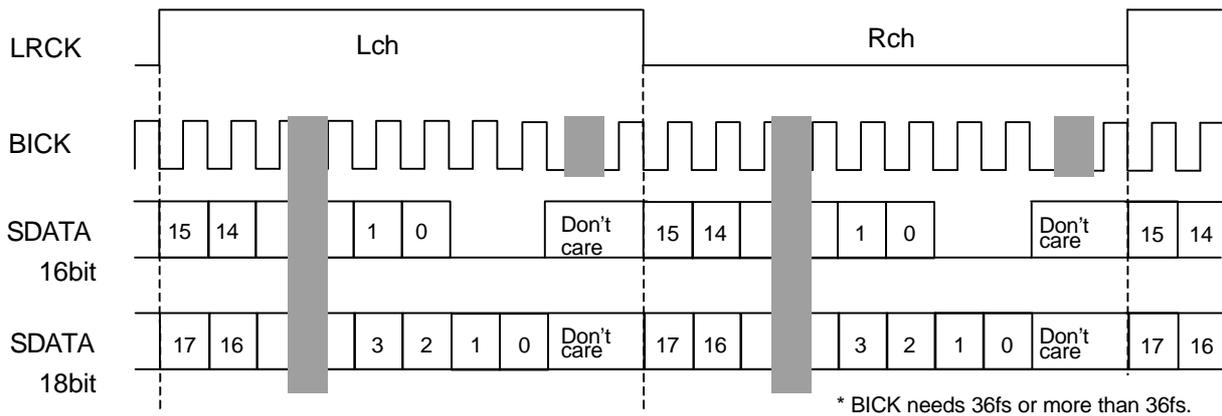


図 3. Mode 2 タイミング

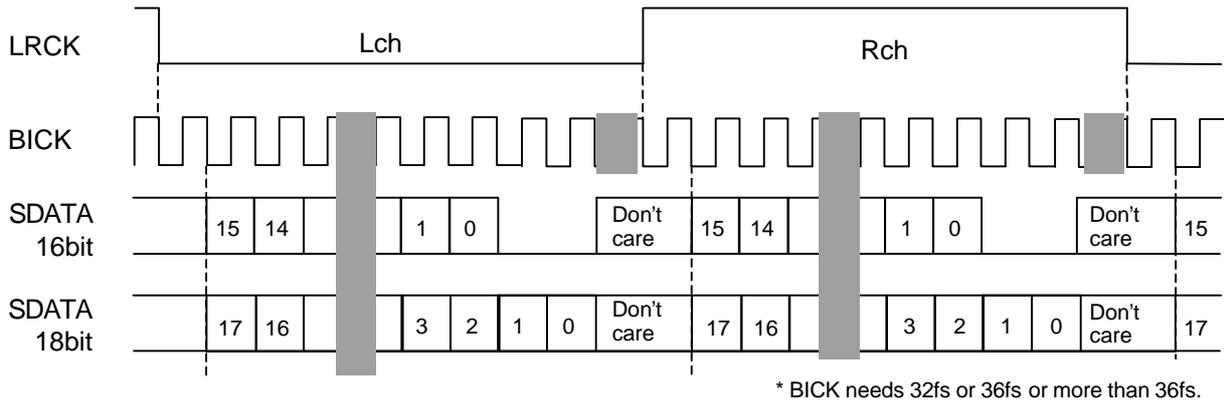


図 4. Mode 3 タイミング

■ ディエンファシスフィルタ

IIR フィルタによる $f_s=44.1\text{kHz}$ 対応のディエンファシスフィルタ ($50/15\mu\text{s}$ 特性) を内蔵しています。入力データに対して DEMピン=“H” が選択された時、ディエンファシスフィルタが有効になります。

■ パワーダウン機能

$\overline{\text{PD}}$ ピンを“L” にするとパワーダウン状態になり、アナログ出力はフローティング状態 (Hi-Z) になります。図 5 にパワーダウン及びパワーアップ時のシステムタイミング例を示します。

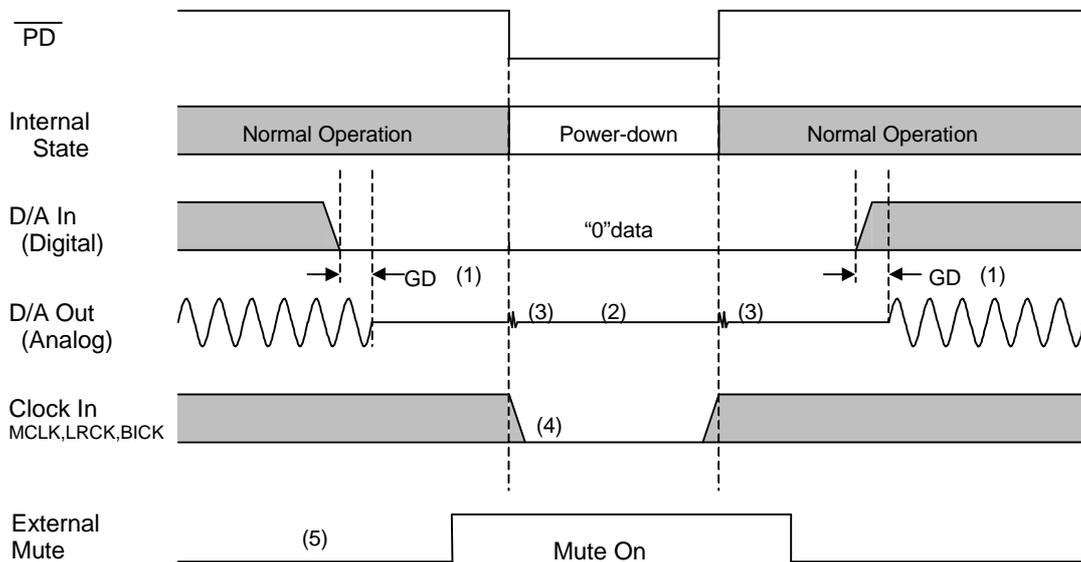


図 5. パワーダウン/パワーアップ時タイミング例

- (1) デジタル入力に対するアナログ出力は群遅延 (GD) を持ちます。
- (2) パワーダウン時アナログ出力は Hi-Z です。
- (3) $\overline{\text{PD}}$ 信号のエッジ (“↑↓”) でクリックノイズが出力されます。
- (4) 各クロック入力を止める場合はパワーダウンして下さい。
- (5) クリックノイズ (3) が問題になる場合は、アナログ出力を外部でミュートして下さい。

■ システムリセット

電源立ち上げ時には、 $\overline{\text{PD}}$ ピンに一度“L”を入力してリセットして下さい。リセットはMCLKで解除され、その後LRCKの“↑”に同期して内部のタイミングが動作します。

システム設計

システム接続例を図6に示します。具体的な回路と測定例については評価用ボード (AKD4352) を参照して下さい。

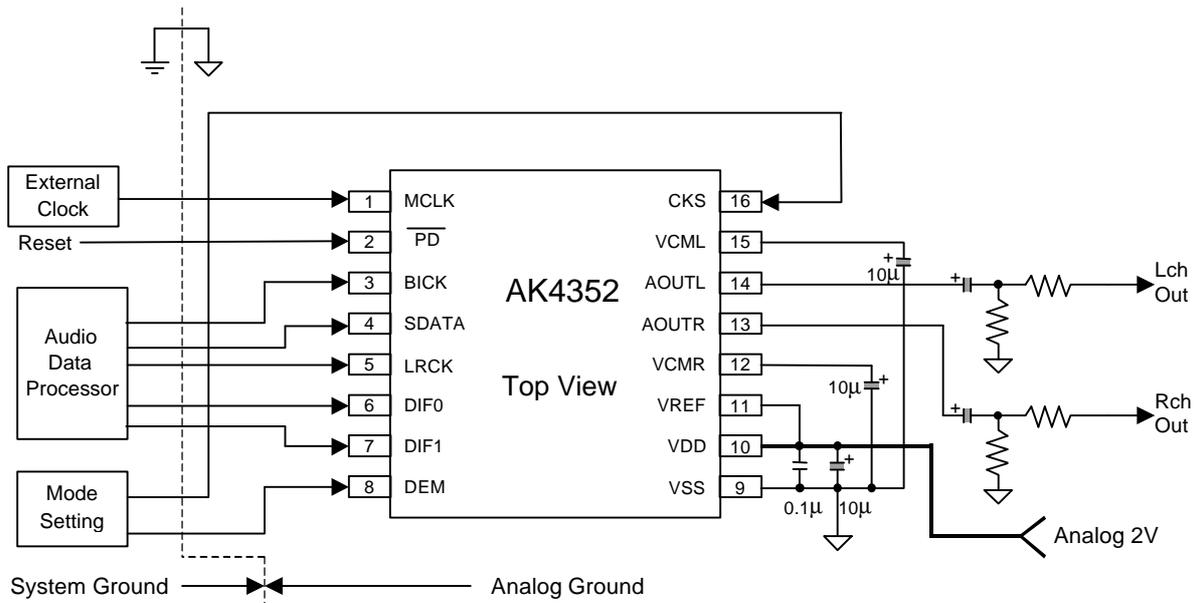


図 6. システム接続図

Note:

- LRCK = fs, BICK ≥ 32fs or 36fs, MCLK = 256fs/384fs.
- AOUTが容量性負荷を駆動する場合は直列に抵抗を入れて下さい。

1. グランドと電源のデカップリング

電源とグランドの取り方には十分注意して下さい。図 6に電源の接続例を示します。ここでは VDD はノイズの少ないアナログ電源から供給されています。一般的に、電源は PC ボード上の電源に近い所で接続して下さい。高周波用のデカップリングコンデンサは AK4352 にできるだけ近づけて接続します。特に、VDD、VREF と VSS 間の間のセラミックコンデンサは近づけて下さい。

2. 基準電圧源

VREF ピンに入力される電圧の差がアナログ出力のフルスケールを決定します。通常は VREF ピンを VDD に接続します。また、VREF と VSS の間には 10 μ F の電解コンデンサと 0.1 μ F のセラミックコンデンサを並列に接続します。VCML, VCMR はアナログ信号のコモン電圧として使われます。このピンには高周波ノイズを除去するために 10 μ F 以下の電解コンデンサと並列に 0.1 μ F のセラミックコンデンサを VSS との間に接続して下さい。また、VCML, VCMR ピンから電流を取ってはいけません。デジタル信号、特にクロックは AK4352 へのカップリングを避けるため、VREF, VCML, VCMR ピンからできるだけ離して下さい。

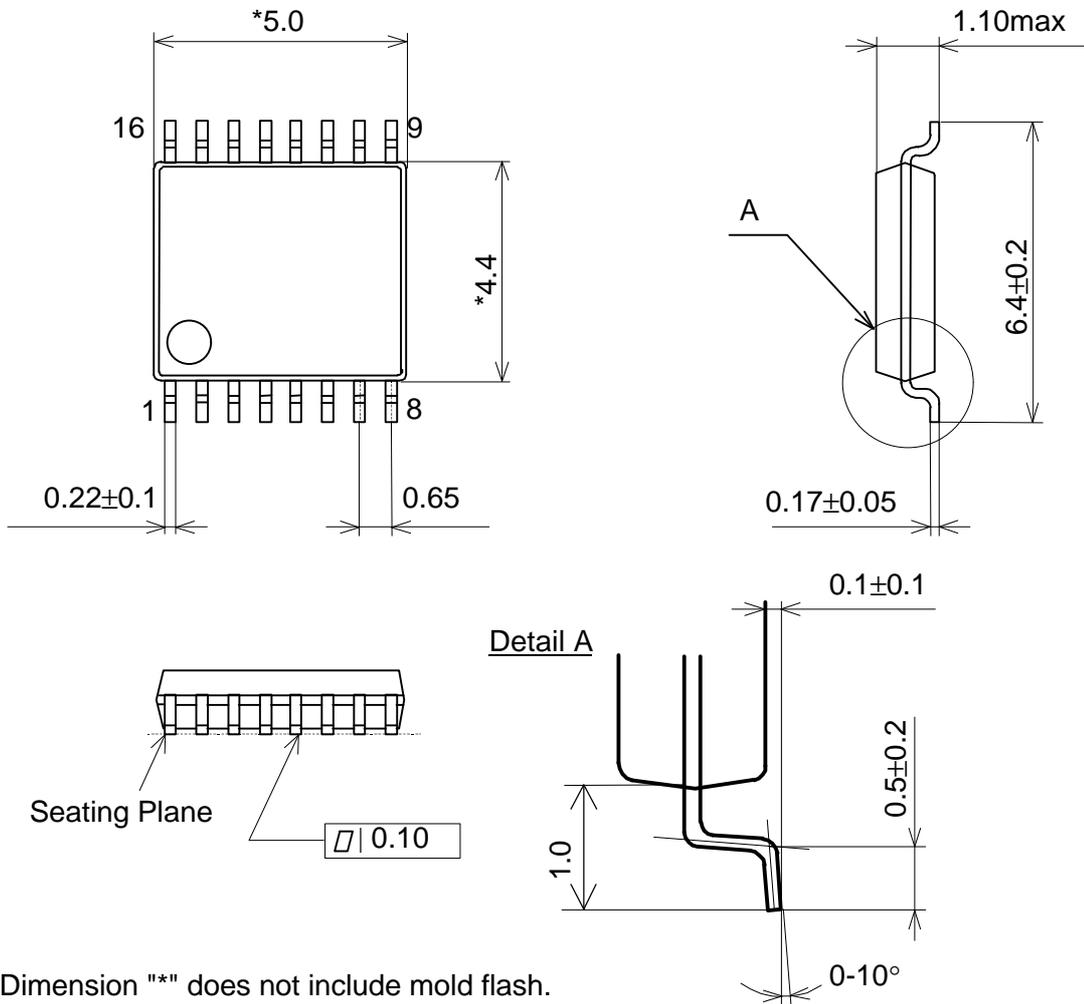
3. アナログ出力

アナログ出力はシングルエンドになっており、出力レンジは VCML, VCMR 電圧を中心に 1.10Vpp(typ) です。 $\Delta\Sigma$ 変調器が発生する帯域外ノイズ (シェーピングノイズ) が気になる場合は、外付けのフィルタで減衰させて下さい。入力コードのフォーマットは 2's コンプリメント (2 の補数) で、7FFFH(@16bit) に対しては正のフルスケール、8000H(@16bit) に対しては負のフルスケール、0000H(@16bit) での理想値は VCML, VCMR 電圧が出力されます。

アナログ出力は VCML, VCMR + 数 mV 程度の DC オフセットを持つため、通常の使用ではコンデンサで DC 成分をカットします。

パッケージ

16pin TSSOP (Unit: mm)

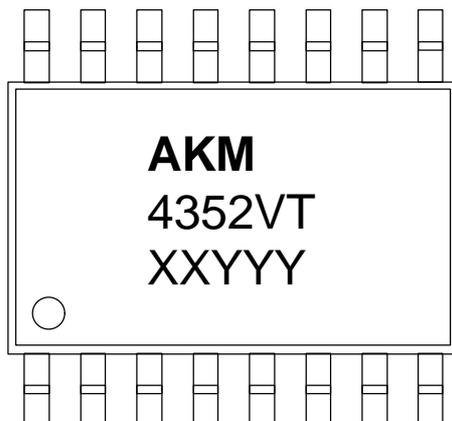


NOTE: Dimension "*" does not include mold flash.

■ Package & Lead frame material

- Package molding compound: Epoxy
- Lead frame material: Cu
- Lead frame surface treatment: Solder plate

マーキング



Contents of XXYYYY

XX: Lot#

YYY: Date Code

重要な注意事項

- 本書に記載された製品、及び、製品の仕様につきましては、製品改善のために予告なく変更することがあります。従いまして、ご使用を検討の際には、本書に掲載した情報が最新のものであることを弊社営業担当、あるいは弊社特約店営業担当にご確認下さい。
- 本書に掲載された情報・図面の使用に起因した第三者の所有する特許権、工業所有権、その他の権利に対する侵害につきましては、当社はその責任を負うものではありませんので、ご了承下さい。
- 本書記載製品が、外国為替及び、外国貿易管理法に定める戦略物資(役務を含む)に該当する場合、輸出する際に同法に基づく輸出許可が必要です。
- 医療機器、安全装置、航空宇宙用機器、原子力制御用機器など、その装置・機器の故障や動作不良が、直接または間接を問わず、生命、身体、財産等へ重大な損害を及ぼすことが通常予想されるような極めて高い信頼性を要求される用途に弊社製品を使用される場合は、必ず事前に弊社代表取締役の書面による同意をお取り下さい。
- この同意書を得ずにこうした用途に弊社製品を使用された場合、弊社は、その使用から生ずる損害等の責任を一切負うものではありませんのでご了承下さい。
- お客様の転売等によりこの注意事項の存在を知らずに上記用途に弊社製品が使用され、その使用から損害等が生じた場合は全てお客様にてご負担または補償して頂きますのでご了承下さい。